

10585526

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/019589

International filing date: 28 December 2004 (28.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-002841
Filing date: 08 January 2004 (08.01.2004)

Date of receipt at the International Bureau: 27 January 2005 (27.01.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

28.12.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 1 月 8 日
Date of Application:

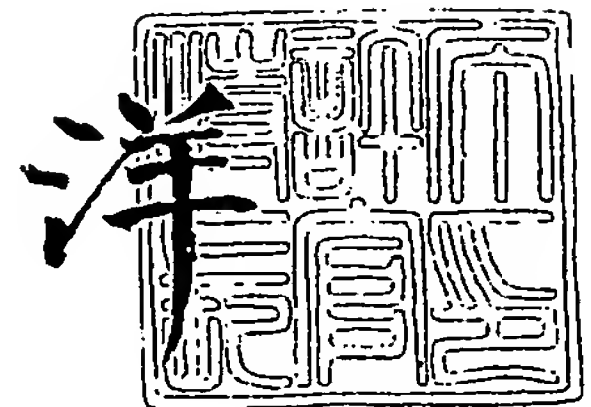
出 願 番 号 特 願 2 0 0 4 - 0 0 2 8 4 1
Application Number:
[ST. 10/C] : [J P 2 0 0 4 - 0 0 2 8 4 1]

出 願 人 日 本 電 気 株 式 会 社
Applicant(s):

2 0 0 4 年 1 1 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 0 9 9 5 2 2

【書類名】 特許願
【整理番号】 34002350
【提出日】 平成16年 1月 8日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 上嶋 和也
【特許出願人】
 【識別番号】 000004237
 【氏名又は名称】 日本電気株式会社
【代理人】
 【識別番号】 100096253
 【弁理士】
 【氏名又は名称】 尾身 祐助
【手数料の表示】
 【予納台帳番号】 003399
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9002137

【書類名】 特許請求の範囲

【請求項 1】

下地層上に歪みを有する活性半導体層が形成され、該活性半導体層上にゲート絶縁膜を介してゲート電極が形成され、前記ゲート電極の両側の前記活性半導体層内にソース・ドレイン領域が形成されているMIS型電界効果トランジスタにおいて、ソース・ドレイン領域を形成するために導入された不純物の濃度が最大になる深さを T_p としたとき、前記下地層と前記活性半導体層との界面が表面から $2 \times T_p$ 以下の深さにあることを特徴とするMIS型電界効果トランジスタ。

【請求項 2】

下地層上に歪みを有する活性半導体層が形成され、該活性半導体層上にゲート絶縁膜を介してゲート電極が形成され、前記ゲート電極の両側の前記活性半導体層内にソース・ドレイン領域が形成されているMIS型電界効果トランジスタにおいて、前記ゲート電極の側面にはゲート側壁が形成されており、前記活性半導体層の前記ゲート電極および前記ゲート側壁の下部分は他の部分の膜厚より厚くなっており、ソース・ドレイン領域を形成するために導入された不純物の濃度が最大になる深さを T_p としたとき、前記活性半導体層の前記ゲート電極および前記ゲート側壁の下以外の領域では前記下地層と前記活性半導体層との界面が表面から $2 \times T_p$ 以下の深さにあることを特徴とするMIS型電界効果トランジスタ。

【請求項 3】

下地層上に歪みを有する活性半導体層が形成され、該活性半導体層上にゲート絶縁膜を介してゲート電極が形成され、前記ゲート電極の両側の前記活性半導体層上にソース・ドレイン領域が形成されたせり上げ層が形成されているMIS型電界効果トランジスタにおいて、ソース・ドレイン領域を形成するために導入された不純物の濃度が最大になる深さを T_p としたとき、前記せり上げ層の膜厚が $3 \times T_p$ 以上であることを特徴とするMIS型電界効果トランジスタ。

【請求項 4】

前記せり上げ層の膜厚が $5 \times T_p$ 以下であることを特徴とする請求項 3 に記載のMIS型電界効果トランジスタ。

【請求項 5】

前記下地層が、 $Si_{1-x-y}Ge_xC_y$ (但し、 $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 < x + y \leq 1$) の組成を有する半導体層であることを特徴とする請求項 1 から 4 のいずれかに記載のMIS型電界効果トランジスタ。

【請求項 6】

前記下地層が、Si層であることを特徴とする請求項 1 から 4 のいずれかに記載のMIS型電界効果トランジスタ。

【請求項 7】

前記下地層が半導体層であって前記下地層の下層に絶縁体層が形成されていることを特徴とする請求項 1 から 6 のいずれかに記載のMIS型電界効果トランジスタ。

【請求項 8】

前記下地層が絶縁体層であることを特徴とする請求項 1 から 4 のいずれかに記載のMIS型電界効果トランジスタ。

【請求項 9】

前記活性半導体層が、4族半導体層であることを特徴とする請求項 1 から 8 のいずれかに記載のMIS型電界効果トランジスタ。

【請求項 10】

前記活性半導体層が、Si層であることを特徴とする請求項 1 から 5、7、8 のいずれかに記載のMIS型電界効果トランジスタ。

【請求項 11】

前記活性半導体層が、 $Si_{1-x-y}Ge_xC_y$ (但し、 $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 < x + y \leq 1$) の組成を有する半導体層であることを特徴とする請求項 1 から 8 のいずれかに記載の

MIS型電界効果トランジスタ。

【請求項12】

前記活性半導体層と前記ゲート絶縁膜との間に、10nm以下の膜厚のSi層を有することを特徴とする請求項11に記載のMIS型電界効果トランジスタ。

【請求項13】

ゲート長が0.4μm以下であることを特徴とする請求項1から12のいずれかに記載のMIS型電界効果トランジスタ。

【請求項14】

前記ソース・ドレイン領域が、イオン注入法によって形成されていることを特徴とする請求項1から13のいずれに記載のMIS型電界効果トランジスタ。

【請求項15】

前記ソース・ドレイン領域が、プラズマドーピング法によって形成されていることを特徴とする請求項1から13のいずれに記載のMIS型電界効果トランジスタ。

【請求項16】

前記ソース・ドレイン領域が、ガスフェーズドーピング法によって形成されていることを特徴とする請求項1から13のいずれに記載のMIS型電界効果トランジスタ。

【請求項17】

前記ソース・ドレイン領域のゲート電極寄りの部分は低不純物濃度領域になされていることを特徴とする請求項1から16のいずれに記載のMIS型電界効果トランジスタ。

【書類名】明細書

【発明の名称】MIS型電界効果トランジスタ

【技術分野】

【0001】

本発明は、MIS型電界効果トランジスタに関し、特にチャネルが歪みを有する半導体で形成されているMIS型電界効果トランジスタに関するものである。

【背景技術】

【0002】

MIS型電界効果トランジスタ(以下、MISFETと略記する)は、4族半導体基板上に形成されることが多い。4族半導体とは、Ge、C、Si、あるいはこれらの混晶を指している。これら4族半導体は、その他の半導体と比較し、機械的強度、コスト、微細加工性、の観点で優れており、MISFETの主な用途である大規模集積回路の作製に向いているのである。

4族半導体の中でも、特にSi基板にMISFETを作製することが多い。これは、ゲート絶縁膜としてSiO₂を形成することが工業的に容易であること、またSiO₂/Si界面特性が良好であること、が理由としてあげられる。

【0003】

ただし、Siには、電子と正孔の移動度が他の半導体に比べ低いという欠点がある。これは、シリコン特有のバンド構造に由来している。低い移動度はMISFETのチャネル抵抗を増大させ、MISFETのスイッチングスピードの低下を招く。

そこで、MISFETのチャネル材料として、Siを用いつつ、バンド構造を変化させて、電子と正孔の移動度を向上させるアイデアが提案されている(例えば、特許文献1、2参照)。それは、Siに歪みを印加させる方法である。

【0004】

図10に歪みSiの作製法を示す。まず、Siよりも原子間隔の大きいSi_{1-x}Ge_x (0<x≤1、以下、SiGeと略記する)を下地基板として用意する。次に、この上に薄いSiを格子整合するようエピタキシャル成長させる。すると、Siは2軸の引っ張り歪みを受け、バンド構造が変化する。これより電子と正孔の有効質量とフォノン散乱が減少し、無歪みSi中に比べ、電子と正孔の移動度が増加する。

【0005】

図11(a)、(b)に、下地SiGe層のGe濃度(x100[%])と、電子と正孔の移動度増加率の関係を示す。同図において曲線は計算値を、またプロット点は実験値を示す。下地Si_{1-x}Ge_x結晶の原子間隔はGe濃度にはほぼ比例するため、Ge濃度が高いほどSiの歪み量が大きくなる。同図より、Siに歪みを印加することにより、無歪みの場合に比べ、電子、正孔とも1.5倍以上移動度を増加させることが可能であることが分かる。

【0006】

次に、図12を参照して、従来技術による歪みSiチャネルMISFETの作製法を説明する。まず、下地SiGe層1上に歪みSi層2をエピタキシャル成長させる〔図12(a)〕。次に、この上にゲート絶縁膜3とゲート電極膜4を成長させ〔図12(b)〕、その後パターニングして、ゲート絶縁膜3'とゲート電極4'を形成する〔図12(c)〕。続いて、ゲート電極4'をマスクにして、イオン注入法により、ソースとドレイン領域に不純物を導入する。この時、ドーズ量は1E15cm⁻²以上である。これは、ソース・ドレインの寄生抵抗と、コンタクト抵抗を十分下げるためである。このような高ドーズのイオン注入により、アモルファス層5が形成される〔図12(d)〕。最後に、不純物を活性化するために熱処理を行うと、アモルファス層5は固層成長しながら結晶化すると共に、ソース・ドレイン領域6が形成される〔図12(e)〕。

【0007】

図13に、このようにして作製したゲート長1μmの歪みSiチャネルMISFETの電気特性を示す。良好な電気特性を有しており、異常リーク電流などは観察されない。

【特許文献1】特開平10-270685号公報

出証特2004-3099522

【特許文献2】特開2002-237590号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

而して、MISFETはスケーリング則に従う微細化によって高性能化を実現してきており、ゲート長の短い歪みSiチャネルMISFETの実用化が望まれる。

ところが、ゲート長が短くなると、歪みSiチャネルMISFETに異常なオフリーク電流が生じることを本発明者は発見した。

【0009】

図14(a)、(b)に、ゲート長の短い、2種類の歪みSiチャネルMISFETの電気特性を示す。それぞれ多数のMISFETを測定し、全てを同じグラフ上に描いてある。図14(a)は、ボロンをエネルギー: 2keV、ドーズ量: $3 \times 10^{15} \text{cm}^{-2}$ でイオン注入した場合を示し、図14(b)は、ヒ素をエネルギー: 8keV、ドーズ量: $3 \times 10^{15} \text{cm}^{-2}$ でイオン注入してソース・ドレイン領域を形成した場合を示す。後者の場合のみ、ソース・ドレイン間に異常オフリーク電流が流れるMISFETがいくつかみられた。

このような異常オフリーク電流を持つMISFETで回路を構成した場合、回路の消費電力の増大を招くため好ましくない。そこで本発明者らは、異常オフリーク電流の原因を調べるため、様々な解析を行った。

【0010】

図15に、ヒ素イオン注入によりソース・ドレインを形成した場合の、異常オフリーク電流が流れるMISFETの出現割合(出現確率)のゲート長依存性を示す。ゲート長が $0.4 \mu\text{m}$ より短くなると異常リーク電流が出現することがわかる。これは、ある有限長のリークパスが歪みSi層または下地SiGe層中に存在していることを示唆している。

次に、作製したMISFETのソース・ドレイン領域のTEM(transmission electron microscope: 透過型電子顕微鏡)観察を行った。図16(a)にボロンイオン注入で形成したソース・ドレイン領域、図16(b)にヒ素イオン注入で形成したソース・ドレイン領域の、TEM観察結果を示す。図16(a)'、(b)'は、それぞれ図16(a)、(b)の線状の模様をトレースした図である。

その結果、ボロン注入の場合もヒ素注入の場合も、長い直線状の模様が見られることが分かった(図中、Aと表示)。またヒ素注入の場合のみ、短い線状の模様が見られた(図中、Bと表示)。

【0011】

次に、これらの模様の原因を調べるため、断面TEM観察を行った。その結果を図17に示す。図17(a)は、図16(b)の四角枠内の拡大図であり、図17(b)、(c)、(d)は、図17(a)の図中(b)、(c)、(d)に相当する部分の断面像である。

まず、長い直線上の模様Aは、歪みSiとSiGeの界面に生じた長いミスフィット転位であることが分かった。しかし、この長いミスフィット転位は異常オフリークの原因ではない。なぜなら、ボロンイオン注入の場合は異常リーク電流が見られず、またヒ素イオン注入の場合でもゲート長が長い場合は異常リーク電流が見られないからである。

次に、短い線状の模様Bは、歪みSi中または歪みSiとSiGeの界面にミスフィット転位部を持ち、両端が歪みSi表面への貫通転位部をなす、U字型の有限長転位であることが分かった。以降、この転位をU字型転位と呼ぶ。本発明者は、このU字型転位が異常リークの原因ではないかと推測した。

そこで、U字型転位の分布密度と、MISFETの異常リーク出現確率の関係について調べた。図18に、ヒ素注入領域のTEM像より求めたU字型転位の長さや密度の関係を示す。最長のU字型転位の長さは、 $0.3 \mu\text{m} \sim 0.4 \mu\text{m}$ 程度であった。この長さは、異常リーク電流のMISFETが出現し始めるゲート長とほぼ同じである。

【0012】

次に、このU字型転位がソース・ドレインをまたいだときに異常オフリークが出現すると仮定して、図18より異常リーク電流出現確率を計算した。図19に、U字型転位を有するMISFETの模式図を示す。この図では、長さ a_2 と表されるU字型転位が、ソース・ドレイン領域6間をまたいでおり、異常オフリーク電流が発生すると仮定される。

もし、長さ a のU字型転位のみが面密度 b で分布していると仮定すれば、このU字型転位がゲート長 L_G 、ゲート幅 W_G のMISFETのソース・ドレイン間を1つもまたがない確率は、 $L_G > a$ の時に1、 $L_G < a$ の時に $\exp\{-b \times W_G \times (a - L_G)\}$ 、となる。

【0013】

実際には様々な長さ a_i のU字型転位が面密度 b_i で分布していることを考慮すると、U字型転位が一つもMISFETのソース・ドレイン間をまたがない確率は、 $\prod(L_G < a_i) \exp\{-b_i \times W_G \times (a_i - L_G)\}$ 、となる。ここで、 $\prod(L_G < a_i)$ は、数列 $\exp\{-b_i \times W_G \times (a_i - L_G)\}$ の積を、 $L_G < a_i$ にわたって計算することを意味する。

従って、一つ以上のU字型転位がMISFETのソース・ドレイン間をまたぎ、異常オフリーク電流を生じさせる確率は、 $1 - \prod(L_G < a_i) \exp\{-b_i \times W_G \times (a_i - L_G)\}$ 、となる。

この計算式に従い、図18より計算した異常リーク出現確率を図20に実線にて示す。合わせて図15のMISFETのデータも載せているが、両者は良く一致しており、U字型転位が、異常リーク電流の原因であると結論できる。

従って、本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、上記のU字型転位を無くし、ゲート長が短いときに現れる異常オフリーク電流を抑えることである。すなわち本発明の目的は、ゲート長が短く消費電力の小さい歪みSiチャンネルMISFETを実現することである。

【課題を解決するための手段】

【0014】

上記の目的を達成するため、本発明によれば、下地層上に歪みを有する活性半導体層が形成され、該活性半導体層上にゲート絶縁膜を介してゲート電極が形成され、前記活性半導体層の前記ゲート電極の両側の前記活性半導体層内にソース・ドレイン領域が形成されているMIS型電界効果トランジスタにおいて、ソース・ドレイン領域を形成するために導入された不純物の濃度が最大になる深さを T_p としたとき、前記下地層と前記活性半導体層との界面が表面から $2 \times T_p$ 以下の深さにあることを特徴とするMIS型電界効果トランジスタ、が提供される。

【0015】

また、上記の目的を達成するため、本発明によれば、下地層上に歪みを有する活性半導体層が形成され、該活性半導体層上にゲート絶縁膜を介してゲート電極が形成され、前記ゲート電極の両側の前記活性半導体層上にソース・ドレイン領域が形成されたせり上げ層が形成されているMIS型電界効果トランジスタにおいて、ソース・ドレイン領域を形成するために導入された不純物の濃度が最大になる深さを T_p としたとき、前記せり上げ層の膜厚が $3 \times T_p$ 以上 $5 \times T_p$ 以下であることを特徴とするMIS型電界効果トランジスタ、が提供される。

【0016】

そして、好ましくは、前記下地層は、 $Si_{1-x-y}Ge_xC_y$ (但し、 $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 < x + y \leq 1$)の組成を有する半導体層により構成され、また、好ましくは、前記活性半導体層は、Si層により構成される。

【0017】

本発明は以下のようにして到達された。本発明者は様々な実験と計算、考察の結果、U字型転位が、イオン注入が原因で生じた転位から成長するという結論に達した。

まず、基板への不純物のイオン注入について説明する。図21に、基板への不純物のイオン注入とその後の熱処理による原子の挙動を示す。結晶基板に高濃度のイオン注入を行うと、図21(b)に示すように、表面がアモルファス化され、アモルファス層界面よりすぐ下の結晶領域に、空孔と格子間原子を生じる。この時、格子間原子はアモルファス層からはじき飛ばされた原子も含むため、空孔より数が多い。ここでは、空孔より多い分の

格子間原子を、余剰原子と呼ぶ。この基板を熱処理すると、格子間原子の一部は近くの空孔に収まるが、余剰原子はそのまま格子間に残留する。一方、アモルファス層は下地の結晶層を受け継ぎながら固層成長し、全体が結晶化する。この様子を図 2 1 (c) に示す。例として、図 2 2 に、ボロンまたはヒ素を Si (100) 結晶基板にイオン注入した直後の、余剰原子の分布のモンテカルロシミュレーション結果を点線にて示す。ボロンイオン注入に比べヒ素イオン注入の方が、余剰原子が多い。これは、同じ注入量の場合、ヒ素原子の方がボロン原子より重く、より沢山のシリコン原子をはじき飛ばすためである。これらイオン注入で生じた余剰原子は、熱処理を続けると次第に析出し、小さな転位ループを形成する。この様子を図 2 1 (d) に示す。

【0018】

図 2 3 に、イオン注入により形成された転位ループの断面 TEM 像を示す。Si (100) 結晶に、リンを 30 keV、 $2 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、790℃、10秒の熱処理を施した。モンテカルロシミュレーション計算の結果、イオン注入直後のアモルファス領域の深さは、73 nm と計算された。断面 TEM 像では、この深さのすぐ下に、転位が形成されていることが実際に確かめられた。このような実験結果は、他の文献でも報告されている。(文献: 応用物理 第65号 第11号 p.1131 1996、Ion Implantation Technology Proceedings vol.2, p.744 1999)

このようなイオン注入によって生じた小さな転位ループは、無歪みの膜中では、周囲に歪みを引き起こす。従って、更に熱処理を続けた場合は、歪みを小さくするよう、格子間原子を再放出しながら徐々に小さくなる。再放出された格子間原子は、基板表面に向かって拡散し、そこで新たな結晶表面の一部を形成する。しかし、歪みを有する層に転位ループが形成された場合は、熱処理でより大きな転位ループになると考えられる。これは、転位が大きくなることによって、歪み膜の歪みを小さくできるからである。

【0019】

この過程を、図 2 4 を用いて考察する。図 2 4 (b) は、イオン注入とそれに続く熱処理により歪み膜中に形成された小さな転位ループを示している。転位ループの周辺では歪みが緩和される。そのため、熱処理を施せば、原子は転位ループを大きくするよう再配置する。ついには転位ループが表面に達し、U字型転位になる。この様子を図 2 4 (c) に示す。

また、転位ループの元となる余剰原子の多いヒ素イオン注入の場合のみ、U字型転位が見られたことから、U字型転位がイオン注入による転位ループを元に形成されたと考えることは妥当である。

こうして、本発明者は、U字型転位が、イオン注入が原因で生じた転位ループから成長するという結論に達した。従って重要なことは、イオン注入による転位を歪み層内に形成させないことである。次に、転位ループを歪み層に形成させないための構造について説明する。

【0020】

図 2 5 は、モンテカルロシミュレーションにより計算した、ヒ素のドーズ量と、注入直後の不純物濃度が最大になる深さ (R_p) で規格化した Si (100) 結晶基板におけるアモルファス層/結晶層界面の深さの関係を示している。ソース・ドレイン形成に必要な $1 \times 10^{15} \text{ cm}^{-2}$ 以上のドーズ量の場合、アモルファス層/結晶層界面の深さは、 $2 \times R_p$ 以上 $2.5 \times R_p$ 以下の深さに形成されることが分かる。また、イオン注入による転位は、このアモルファス層と結晶層の界面より深いところに形成される。従って、歪み層の厚さを $2 \times R_p$ より薄くすれば、歪み Si 層内にイオン注入による転位が形成されることはなく、U字型転位を生じることもない。

【0021】

次に、図 2 6 に、熱処理後の不純物の濃度分布を示す。イオン注入直後の不純物濃度が最大になる深さと、熱処理後の不純物濃度が最大になる深さととは一致している。これは、不純物濃度が濃くなるほど、不純物の拡散速度が遅くなり、元の濃度分布に近くなるためである。すなわち、ソース・ドレインの不純物濃度が最大になる深さを T_p としたとき、

$T_p=R_p$ となる。従って、本発明のように、ソース・ドレインの不純物濃度が最大になる深さを T_p としたとき、歪み層の膜厚を $2 \times T_p$ 以下にすれば、歪み層内にイオン注入による転位が形成されることはない。従って、これらを核に歪み層にU字型転位が成長することもなく、従って、ゲート長が短いMISFETにおいても、異常オフリーク電流を生じることはない。

【0022】

ここで、図27を用いて、従来と同じ製法でゲート長の短い歪みSiチャネルMISFETを作製した場合の問題点についてさらに詳しく説明する。

まず、下地SiGe層1上に歪みSi層2をエピタキシャル成長させる〔図27(a)〕。次に、この上にゲート絶縁膜3とゲート電極膜4を成長させ〔図27(b)〕、その後パターンニングして、ゲート絶縁膜3'と長さ $0.4 \mu\text{m}$ 以下のゲート電極4'を形成する〔図27(c)〕。続いて、ゲート電極4'をマスクにして、不純物をドーピング量 $1 \times 10^{15} \text{cm}^{-2}$ 以上イオン注入する。すると、ソース・ドレイン領域に不純物が導入されると共に、アモルファス層5が形成される〔図27(d)〕。この深さは、不純物濃度が最大になる深さを R_p としたとき、 $2 \times R_p$ 以上である。

【0023】

次に、不純物を活性化させるために熱処理を行う。すると、ソース・ドレイン領域6が形成される。また、アモルファス層5は結晶化すると共に、この直下に転位ループ8が形成される〔図27(e)〕。不純物を十分活性化させるために更に熱処理を行うと、歪みSi層2の歪みを緩和させるために転位ループ8は大きく成長し、U字型転位7になる〔図27(f)〕。これらU字型転位7の長さは最大 $0.4 \mu\text{m}$ 程度になる。その為、ゲート長が $0.4 \mu\text{m}$ 以下のMISFETは確率的に異常オフリーク電流を生じることになる。

従って、以下に示す本発明の各実施の形態においては、U字型転位の核となるイオン注入による転位ループ8が、歪みSi層2内に形成されないようになされる。

【0024】

なお、歪みを有する4族半導体として歪みSiを例にして説明したが、歪み半導体膜として $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ (但し、 $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 < x + y \leq 1$)を用いる場合もある。この場合、高品質のゲート絶縁膜を形成するために、 $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ とゲート絶縁膜の間に 10nm 以下のキャップSi層を挟むのも有効である。このSi層を 10nm 以下にするのは、チャネルが全てキャップSi層内のみに局在するのを防ぐためである。このとき、表面から歪み $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ 層と下地層との界面までの深さを、 $2 \times T_p$ 以下にする。

【0025】

また、ソース・ドレインをせり上げ構造とし、このせり上げ部にイオン注入による転位を局在させることによって、歪み膜に転位を生じないようにすることも有効である。この場合、図23からも分かるとおり、 $3 \times R_p = 3 \times T_p$ 以上の深さにはイオン注入による転位を生じないので、せり上げ膜厚を $3 \times T_p$ 以上にすればよい。

ただし、せり上げ膜厚が厚すぎると十分にせり上げ部全体に不純物をドーピングできないため、せり上げ膜厚を $5 \times T_p$ 以下にする必要がある。図26から分かるとおり、この膜厚であれば、少なくとも $1 \times 10^{18} \text{cm}^{-3}$ 以上のドーピングが可能であり、ソース・ドレイン抵抗のオーミック性を保つことが可能である。

また、ソース・ドレイン層に、低ダメージで高ドーズのドーピングができれば、歪みSi層に転位を生じることはない。このような手法としては、プラズマドーピング法やガスフェーズドーピング法がある。これらの方法では、不純物は歪み膜表面に気相吸着してから内部に拡散するため、結晶層を破壊することなく高ドーズのドーピングが可能となる。

すなわち、これらの手法を用いることにより、歪み層内にドーピングによって転位が形成されることはない。従って、これらを核に歪み層にU字型転位が成長することもなく、そのため、ゲート長が短いMISFETにおいても、異常オフリーク電流を生じることなく、低消費電力の歪みSiチャネルMISFETを実現することができる。

【発明の効果】

【0026】

本発明のMISFETは、歪み活性半導体層の膜厚を、ソース・ドレイン領域を形成するために導入された不純物の濃度が最大になる深さ T_p の2倍以下にするか、あるいは、歪み活性半導体層上に形成されるせり上げ領域の膜厚を、 T_p の3倍以上とするものである。従って、歪み活性半導体層内にドーピングによって形成される転位が形成されないようにすることができる。従って、これらを核に歪み活性半導体層にU字型転位が成長することもなく、その結果、ゲート長が短いMISFETにおいても、異常オフリーク電流を生じることなく、低消費電力・短チャネル長の歪みチャネルMISFETを実現することができる。

【発明を実施するための最良の形態】

【0027】

以下、図面を参照して本発明の実施の形態について詳細に説明する。

[第1の実施の形態]

図1は、本発明の第1の実施の形態の製法を示す工程順の断面図である。まず、下地SiGe層1上に歪みSi層2をエピタキシャル成長させる〔図1(a)〕。この歪みSi層2の膜厚は、最終的なMISFETのソース・ドレインの不純物濃度が最大となる深さを T_p としたとき、 $2 \times T_p$ 以下にする。次に、この上にゲート絶縁膜3とゲート電極膜4を成長させ〔図1(b)〕、その後パターニングして、ゲート絶縁膜3'と長さ $0.4 \mu\text{m}$ 以下のゲート電極4'を形成する〔図1(c)〕。続いて、ゲート電極4'をマスクにして、不純物を $1 \times 10^{15} \text{cm}^{-2}$ 以上イオン注入する。すると、ソース・ドレイン領域に高濃度の不純物が導入されると共に、アモルファス層5が形成される。この深さは、不純物濃度が最大になる深さを R_p としたとき、 $2 \times R_p$ 以上である〔図1(d)〕。

【0028】

次に、不純物を活性化させるために熱処理を行う。すると、ソース・ドレイン領域6が形成される。また、アモルファス層5は結晶化すると共に、この直下に転位ループ8が形成される。ただし、転位ループ8は歪みSi層2内には形成されず、全て無歪みの下地SiGe層1内に形成される〔図1(e)〕。不純物を十分活性化させるために更に熱処理を行う。ただし、転位ループ8は無歪みの下地SiGe層1内に形成されているため、消失するか小さくなり、U字型転位は形成されない〔図1(f)〕。従って完成したMISFETに異常オフリーク電流は生じない。

【0029】

[第2の実施の形態]

図2は、本発明の第2の実施の形態の製法を示す工程順の断面図である。まず、下地SiGe層1上に歪みSi層2をエピタキシャル成長させる。この歪みSi層2の膜厚は、最終的なMISFETのソース・ドレインの不純物濃度が最大となる深さを T_p としたとき、 $2 \times T_p$ 以下にする〔図2(a)〕。次に、この上にゲート絶縁膜3とゲート電極膜4を成長させ〔図2(b)〕、その後パターニングして、ゲート絶縁膜3'と長さ $0.4 \mu\text{m}$ 以下のゲート電極4'を形成する〔図2(c)〕。

【0030】

次に、ゲート電極4'をマスクにして、ソース・ドレイン拡張領域を形成するための不純物をイオン注入し、不純物注入領域9を形成する〔図2(d)〕。この時のエネルギーとドーズ量は、ソース・ドレイン形成のためのイオン注入より小さくする。これは、より浅くより急峻な接合を形成するためである。その後、酸化膜成長とエッチバックによりゲート側壁10を形成する〔図2(e)〕。この後、ゲート電極4'とゲート側壁10をマスクにして、不純物を $1 \times 10^{15} \text{cm}^{-2}$ 以上イオン注入する。すると、ソース・ドレイン領域に高濃度に不純物が導入されると共に、アモルファス層5が形成される。この深さは、不純物濃度が最大になる深さを R_p としたとき、 $2 \times R_p$ 以上である〔図2(f)〕。

【0031】

次に、不純物を活性化させるために熱処理を行う。すると、ソース・ドレイン領域6とソース・ドレイン拡張領域11が形成される。また、アモルファス層5は結晶化すると共

に、この直下に転位ループ8が形成される〔図2 (g)〕。ただし、転位ループ8は歪みSi層2内には形成されず、全て無歪みの下地SiGe層1内に形成される。この時、不純物注入領域9の直下には転位ループは形成されない。これは、ソース・ドレイン拡張領域形成のためのイオン注入は、エネルギー、ドーズとも低く、転位ループを形成するのに十分な余剰原子が生じないためである。不純物を十分活性化させるために更に熱処理を行う。ただし、転位ループ8は無歪みの下地SiGe層1内に形成されているため、消失するか小さくなり、U字型転位は形成されない〔図2 (h)〕。従って完成したMISFETに異常オフリーク電流は生じない。

【0032】

図3に、第2の実施の形態に従って作製したMISFETの異常オフリーク電流出現割合のゲート長依存性を示す。ソース・ドレイン領域を形成するためのイオン注入は $3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で行い、 $2 \times T_p = 19 \text{ nm}$ であった。 $2 \times T_p$ より歪みSi層膜厚が厚い25 nm、35 nmの場合は、ほぼ同じ程度、高い割合で異常オフリーク電流が出現している。一方、 $2 \times T_p$ より歪みSi層膜厚が薄い15 nmの場合は、大幅に異常オフリーク電流が減少していることが分かる。完全に異常オフリーク電流が無くなっていないのは、歪みSi層膜厚の基板面内ばらつきによるものと考えられる。

【0033】

〔第3の実施の形態〕

図4は、本発明の第3の実施の形態の製法を示す工程順の断面図である。まず、下地SiGe層1上に歪みSi層2をエピタキシャル成長させる〔図4 (a)〕。この歪みSi層2の膜厚は、最終的なMISFETのソース・ドレインの不純物濃度が最大となる深さを T_p としたとき、 $2 \times T_p$ 以上でもよい。次に、この上にゲート絶縁膜3とゲート電極膜4を成長させ〔図4 (b)〕、その後パターニングして、ゲート絶縁膜3'と長さ0.4 μm 以下のゲート電極4'を形成する〔図4 (c)〕。

【0034】

次に、ゲート電極4'をマスクにして、ソース・ドレイン拡張領域を形成するための不純物をイオン注入し、不純物注入領域9を形成する〔図4 (d)〕。この時のエネルギーとドーズ量は、ソース・ドレイン形成のためのイオン注入より小さくする。これは、より浅くより急峻な接合を形成するためである。その後、酸化膜成長とエッチバックによりゲート側壁10を形成する〔図4 (e)〕。続けて、ソース・ドレイン領域の歪みSi層2を、その膜厚が $2 \times T_p$ 以下になるようにエッチバックする〔図4 (f)〕。この後、ゲート電極4'とゲート側壁10をマスクにして、不純物を $1 \times 10^{15} \text{ cm}^{-2}$ 以上イオン注入する。すると、ソース・ドレイン領域に高濃度に不純物が導入されると共に、アモルファス層5が形成される〔図4 (g)〕。この深さは、不純物濃度が最大になる深さを R_p としたとき、 $2 \times R_p$ 以上である。

【0035】

次に、不純物を活性化させるために熱処理を行う。すると、ソース・ドレイン領域6とソース・ドレイン拡張領域11が形成される。また、アモルファス層5は結晶化すると共に、この直下に転位ループ8が形成される〔図4 (h)〕。ただし、転位ループ8は歪みSi層2内には形成されず、全て無歪みの下地SiGe層1内に形成される。この時、不純物注入領域9の直下には転位ループは形成されない。これは、ソース・ドレイン拡張領域形成のためのイオン注入は、エネルギー、ドーズとも低く、転位ループを形成するのに十分な余剰原子が生じないためである。その後、不純物を十分活性化させるために更に熱処理を行う。ただし、転位ループ8は無歪みの下地SiGe層1内に形成されているため、消失するか小さくなり、U字型転位は形成されない〔図4 (i)〕。従って完成したMISFETに異常オフリーク電流は生じない。

【0036】

〔第4の実施の形態〕

図5は、本発明の第4の実施の形態の製法を示す工程順の断面図である。まず、下地SiGe層1上に歪みSi層2をエピタキシャル成長させる〔図5 (a)〕。この歪みSi

i層2の膜厚は、最終的なMISFETのソース・ドレインの不純物濃度が最大となる深さを T_p としたとき、 $2 \times T_p$ 以上でもよい。次に、この上にゲート絶縁膜3とゲート電極膜4を成長させ〔図5(b)〕、その後パターニングして、ゲート絶縁膜3'と長さ0.4 μm 以下のゲート電極4'を形成する〔図5(c)〕。

【0037】

次に、ゲート電極4'をマスクにして、ソース・ドレイン拡張領域を形成するための不純物をイオン注入し、不純物注入領域9を形成する〔図5(d)〕。この時のエネルギーとドーズ量は、ソース・ドレイン形成のためのイオン注入より小さくする。これは、より浅くより急峻な接合を形成するためである。その後、酸化膜成長とエッチバックによりゲート側壁10を形成する〔図5(e)〕。続けて、ソース・ドレイン領域に、選択成長法を用いてソース・ドレインせり上げ領域12を形成する〔図5(f)〕。この膜厚は $3 \times T_p$ 以上 $5 \times T_p$ 以下とする。

【0038】

この後、ゲート電極4'とゲート側壁10をマスクにして、不純物を $1 \times 10^{15} \text{ cm}^{-2}$ 以上イオン注入する。すると、ソース・ドレインせり上げ領域に高濃度に不純物が導入されると共に、アモルファス層5が形成される〔図5(g)〕。この深さは、不純物濃度が最大になる深さを R_p としたとき、 $2.5 \times R_p$ 以下である。次に、不純物を活性化させるために熱処理を行う。すると、ソース・ドレイン領域6とソース・ドレイン拡張領域11が形成され、同時にアモルファス層5は結晶化すると共に、この直下に転位ループ8が形成される。ただし、ソース・ドレインせり上げ領域12の膜厚が $3 \times T_p$ より厚いので、転位ループ8は歪みSi層2内には形成されず、全てソース・ドレインせり上げ領域12内に局在する。また、せり上げ膜厚は $5 \times T_p$ より薄いので、ソース・ドレインせり上げ領域12全てに不純物が拡散し、ソース・ドレイン拡張領域11と接続して、ソース・ドレイン領域6が形成される〔図5(h)〕。この時、不純物導入領域9の直下には転位ループは形成されない。これは、ソース・ドレイン拡張領域形成のためのイオン注入は、エネルギー、ドーズとも低く、転位ループを形成するのに十分な余剰原子が生じないためである。その後、不純物を十分活性化させるために更に熱処理を行う〔図5(i)〕。ただし、転位ループ8はソース・ドレインせり上げ領域12に局在しているため、転位が大きくなったとしても歪みSi層2内に、U字型転位は形成されない。従って完成したMISFETに異常オフリーク電流は生じない。

【0039】

〔第5の実施の形態〕

図6は、本発明の第5の実施の形態を示すMISFETの断面図である。下地Si層13上にエピタキシャル成長された歪み $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層14の膜厚は、最終的なMISFETのソース・ドレインの不純物濃度が最大となる深さを T_p としたとき、 $2 \times T_p$ 以下にする。チャネル材料を歪みSiから歪み $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ (但し、 $0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 < x + y \leq 1$)に変えることにより、特に正孔の移動度を増大させることが可能である。

【0040】

〔第6の実施の形態〕

図7は、本発明の第6の実施の形態を示すMISFETの断面図である。下地Si層13上にエピタキシャル成長された歪み $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層14とキャップSi層15の膜厚の和は、最終的なMISFETのソース・ドレインの不純物濃度が最大となる深さを T_p としたとき、 $2 \times T_p$ 以下にする。キャップSi層15は、ゲート絶縁膜3'の信頼性を向上させる働きをする。なお、キャップSi層15の膜厚は10 nm以下とする。この場合、キャップSi層15だけでなく歪み $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層14内にもチャネルが形成され、MISFETが高性能化する。

【0041】

〔第7の実施の形態〕

図8は、本発明の第7の実施の形態を示すMISFETの断面図である。下地SiGe

層 1 上にエピタキシャル成長された歪み Si 層 2 の膜厚は、最終的な MISFET のソース・ドレインの不純物濃度が最大となる深さを T_p としたとき、 $2 \times T_p$ 以下にする。

なお、下地 SiGe 層 1 と下地 Si 13 の間に、埋込酸化膜 16 が形成されている。この構造では、ソース・ドレイン領域 6 の寄生容量が低減され、MISFET の高性能化が可能である。

【0042】

【第 8 の実施の形態】

図 9 は、本発明の第 8 の実施の形態を示す MISFET の断面図である。下地 Si 層 13 上に埋込酸化膜 16 を有し、その上に歪み Si 層 2 が形成されている。この歪み Si 層 2 の膜厚は、最終的な MISFET のソース・ドレインの不純物濃度が最大となる深さを T_p としたとき、 $2 \times T_p$ 以下にする。

第 7 実施例との違いは、下地 SiGe 層 1 が存在しないことである。この構造では、ソース・ドレイン 6 の寄生容量が第 7 実施例より更に低減可能であり、よりいっそう、MISFET の高性能化が可能である。

【0043】

以上好ましい実施の形態について説明したが、本発明はこれらの実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内において適宜の変更が可能なものである。また、各実施の形態を適宜組み合わせて発明の実施例とすることができる。例えば、第 4、第 5 の実施の形態を組み合わせて、歪み $Si_{1-x-y}Ge_xC_y$ 層 14 上にソース・ドレインせり上げ領域 12 を形成するようにしてもよく、また、第 5、第 8 の実施の形態を組み合わせて、埋込酸化膜 16 上に歪み $Si_{1-x-y}Ge_xC_y$ 層 14 を形成するようにしてもよい。

【図面の簡単な説明】

【0044】

【図 1】 本発明における第 1 の実施の形態の MISFET の作製法を示す工程順の断面図。

【図 2】 本発明における第 2 の実施の形態の MISFET の作製法を示す工程順の断面図。

【図 3】 本発明における第 2 の実施の形態により実際に作製した、MISFET の異常オフリーク電流出現確率のゲート長依存性を示す図。

【図 4】 本発明における第 3 の実施の形態の MISFET の作製法を示す工程順の断面図。

【図 5】 本発明における第 4 の実施の形態の MISFET の作製法を示す工程順の断面図。

【図 6】 本発明における第 5 の実施の形態の MISFET の断面図。

【図 7】 本発明における第 6 の実施の形態の MISFET の断面図。

【図 8】 本発明における第 7 の実施の形態の MISFET の断面図。

【図 9】 本発明における第 8 の実施の形態の MISFET の断面図。

【図 10】 下地 SiGe 層上に形成した歪み Si の構造を示す図。

【図 11】 歪み Si チャネル MISFET の移動度増加率を示すグラフ。

【図 12】 従来構造の歪み Si チャネル MISFET の作製法を示す工程順の断面図。

【図 13】 従来構造の歪み Si チャネル MISFET の電気特性を示すグラフ。

【図 14】 従来構造の歪み Si チャネル MISFET のゲート長を短くした場合の電気特性を示すグラフ。

【図 15】 歪み Si チャネル MISFET の異常オフリーク電流出現割合のゲート長依存性を示すグラフ。

【図 16】 (a), (a)'; ボロンのイオン注入により形成した、歪み Si チャネル MISFET のソース・ドレイン領域の TEM 観察像、および、(b), (b)'; ヒ素のイオン注入により形成した、歪み Si チャネル MISFET のソース・ドレイン

領域のTEM観察像。

【図17】ヒ素のイオン注入により形成した、歪みSiチャネルMISFETのソース・ドレイン領域の断面TEM観察像。

【図18】ヒ素のイオン注入により形成した、歪みSiチャネルMISFETのソース・ドレイン領域で観察された、U字型転位の長さの分布を示すグラフ。

【図19】U字型転位により、MISFETが異常オフリーク電流を生じるメカニズムを説明する平面模式図と断面模式図。

【図20】U字型転位の分布により予想計算した異常オフリーク電流出現確率のゲート長依存性と実測値を比較する図。

【図21】結晶基板に不純物をイオン注入し、熱処理を施した場合に、転位ループを生じるメカニズムを説明する図。

【図22】Si(100)基板にボロンおよびヒ素をイオン注入した場合の、アモルファス層深さと不純物・余剰原子分布のモンテカルロシミュレーション結果を示す図。

【図23】Si(100)基板にリンをイオン注入した場合の、アモルファス層深さおよびリン濃度分布のモンテカルロシミュレーション結果と、熱処理を行った後の断面TEM観察像を示した図。

【図24】歪み層内に形成された転位ループが、U字型転位に成長し歪みを緩和するメカニズムを説明する図。

【図25】Si(100)基板にヒ素をイオン注入した場合の、モンテカルロシミュレーションによるアモルファス層深さのドーズ量依存性を示すグラフ。

【図26】Si(100)基板にボロンおよびヒ素をイオン注入した場合の、注入直後と熱処理後の不純物分布のモンテカルロシミュレーション結果を示すグラフ。

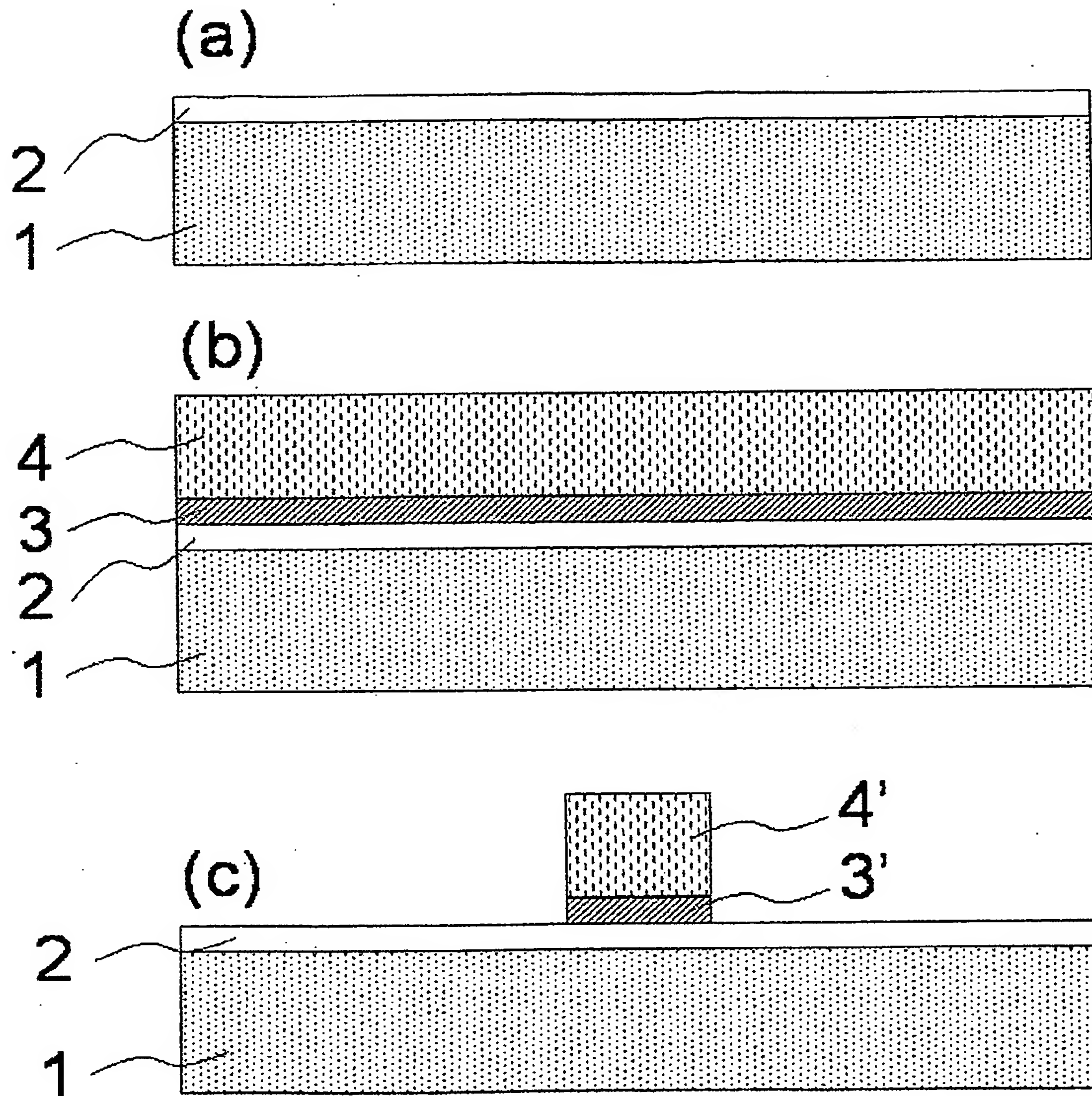
【図27】従来構造の歪みSiチャネルMISFETの作製法により、ゲート長の短いMISFETを作製する方法を示す工程順の断面図。

【符号の説明】

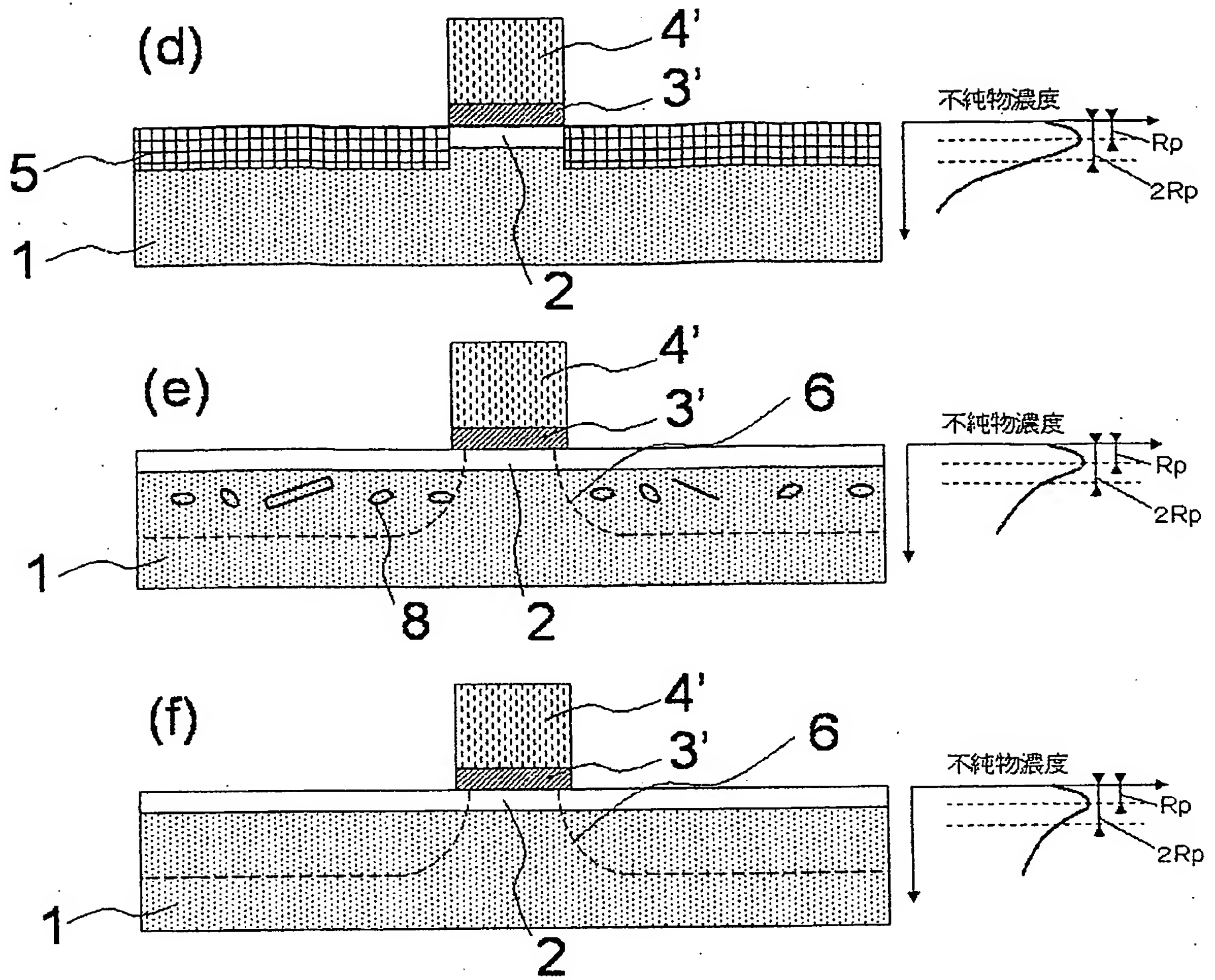
【0045】

- 1 下地SiGe層
- 2 歪みSi層
- 3 ゲート絶縁膜
- 3' ゲート絶縁膜
- 4 ゲート電極膜
- 4' ゲート電極
- 5 アモルファス層
- 6 ソース・ドレイン領域
- 7 U字型転位
- 8 転位ループ
- 9 不純物注入領域
- 10 ゲート側壁
- 11 ソース・ドレイン拡張領域
- 12 ソース・ドレインせり上げ領域
- 13 下地Si層
- 14 歪み $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層
- 15 キャップSi層
- 16 埋込酸化膜

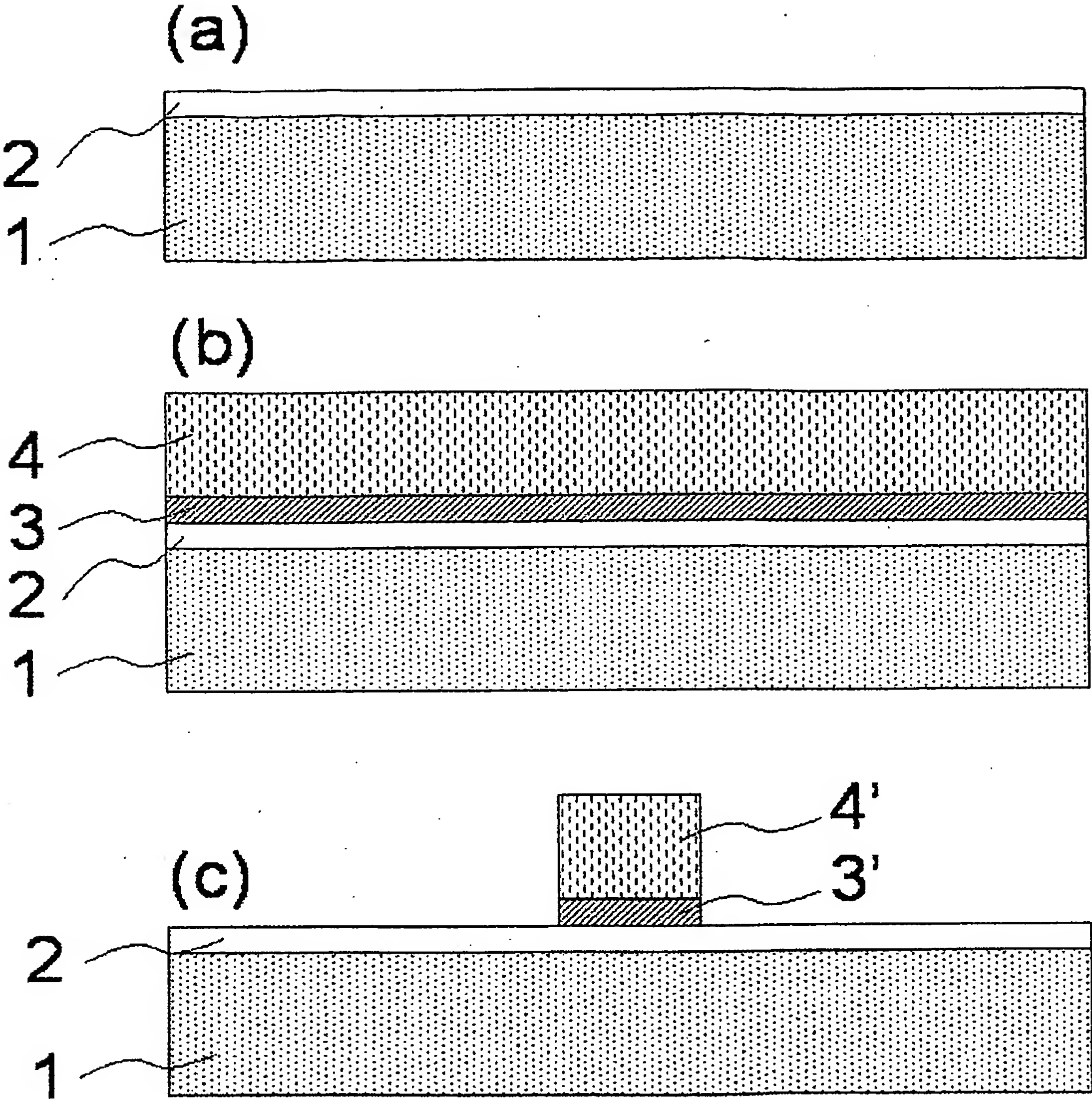
【書類名】 図面
【図 1-1】



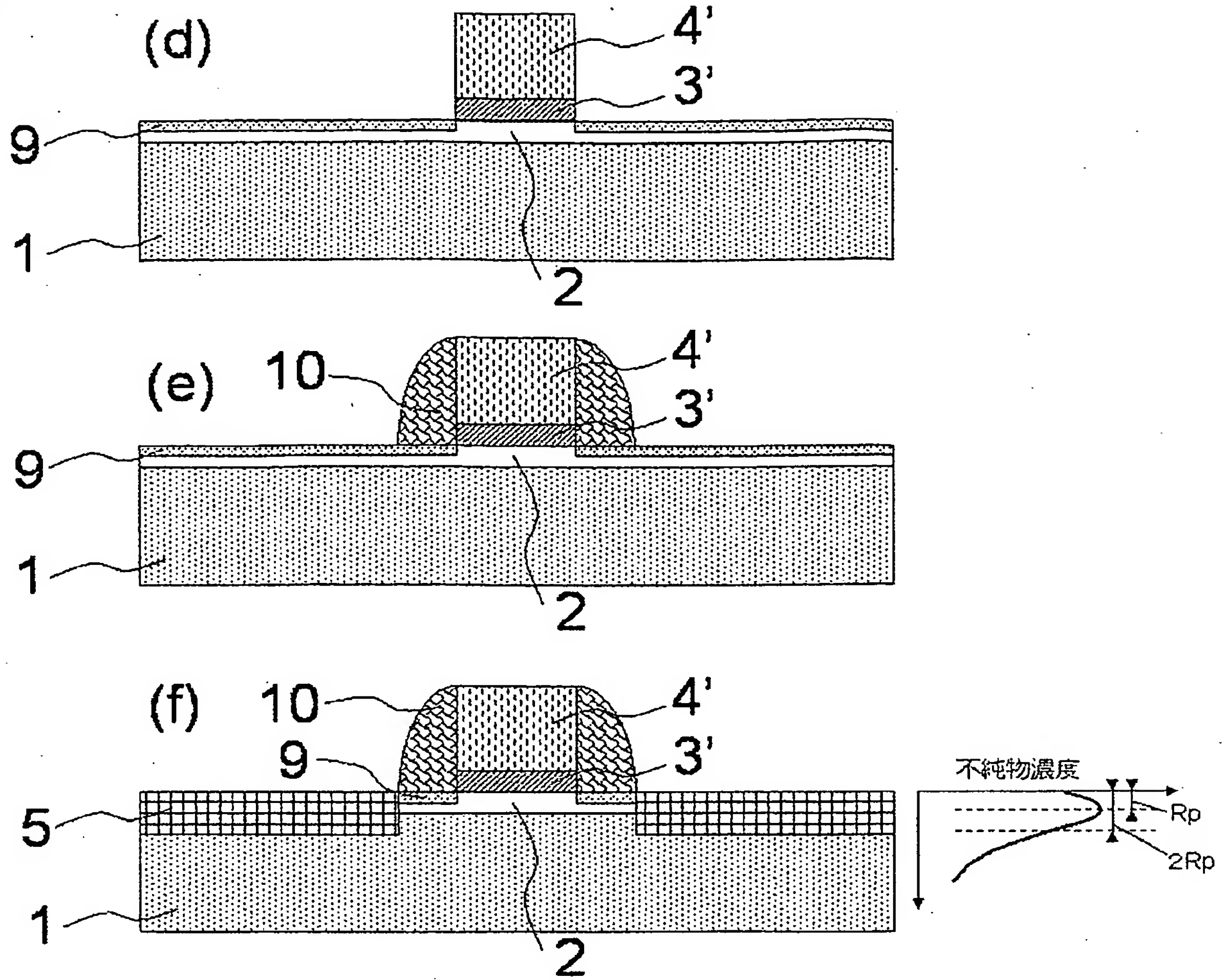
【図1-2】



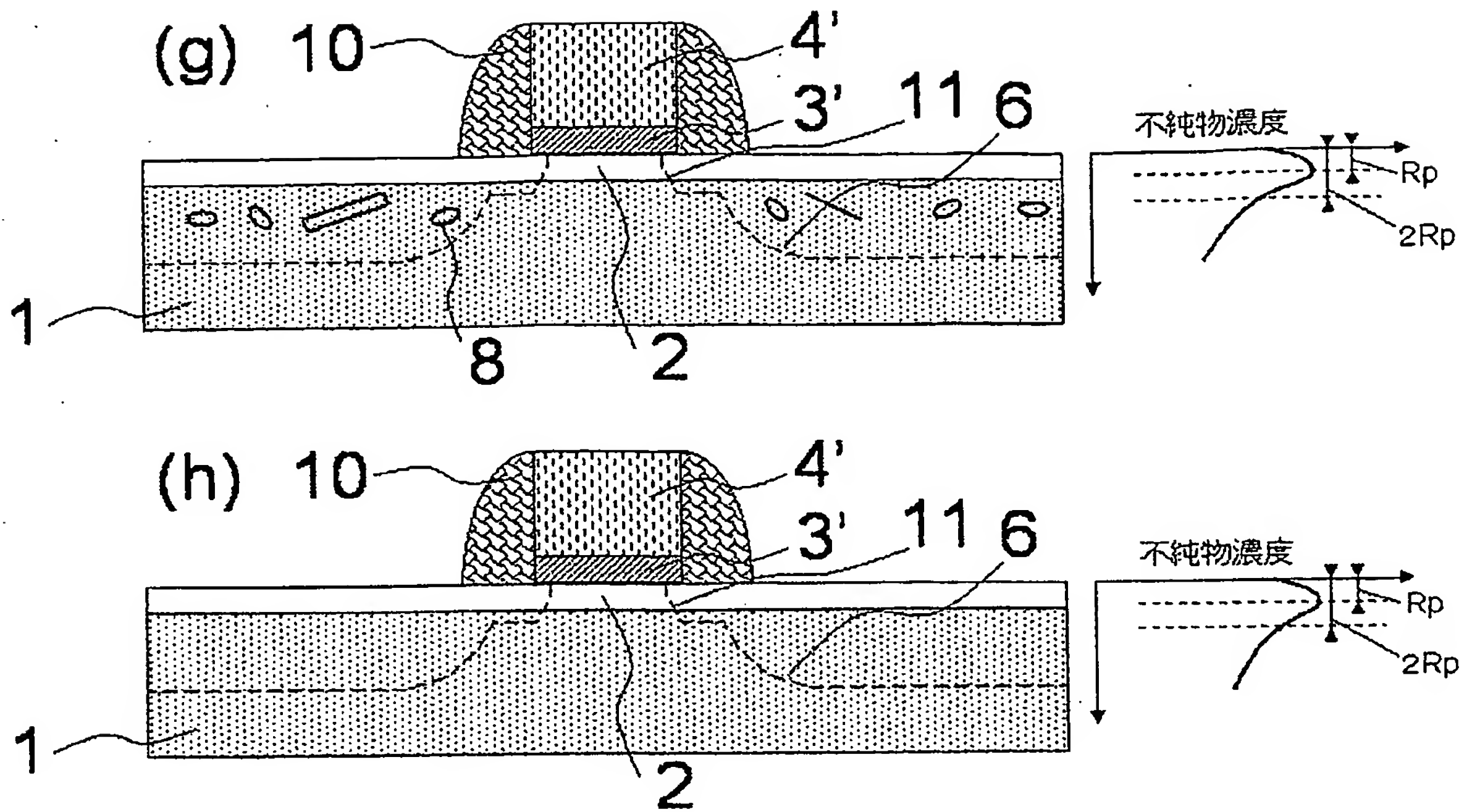
【図 2-1】



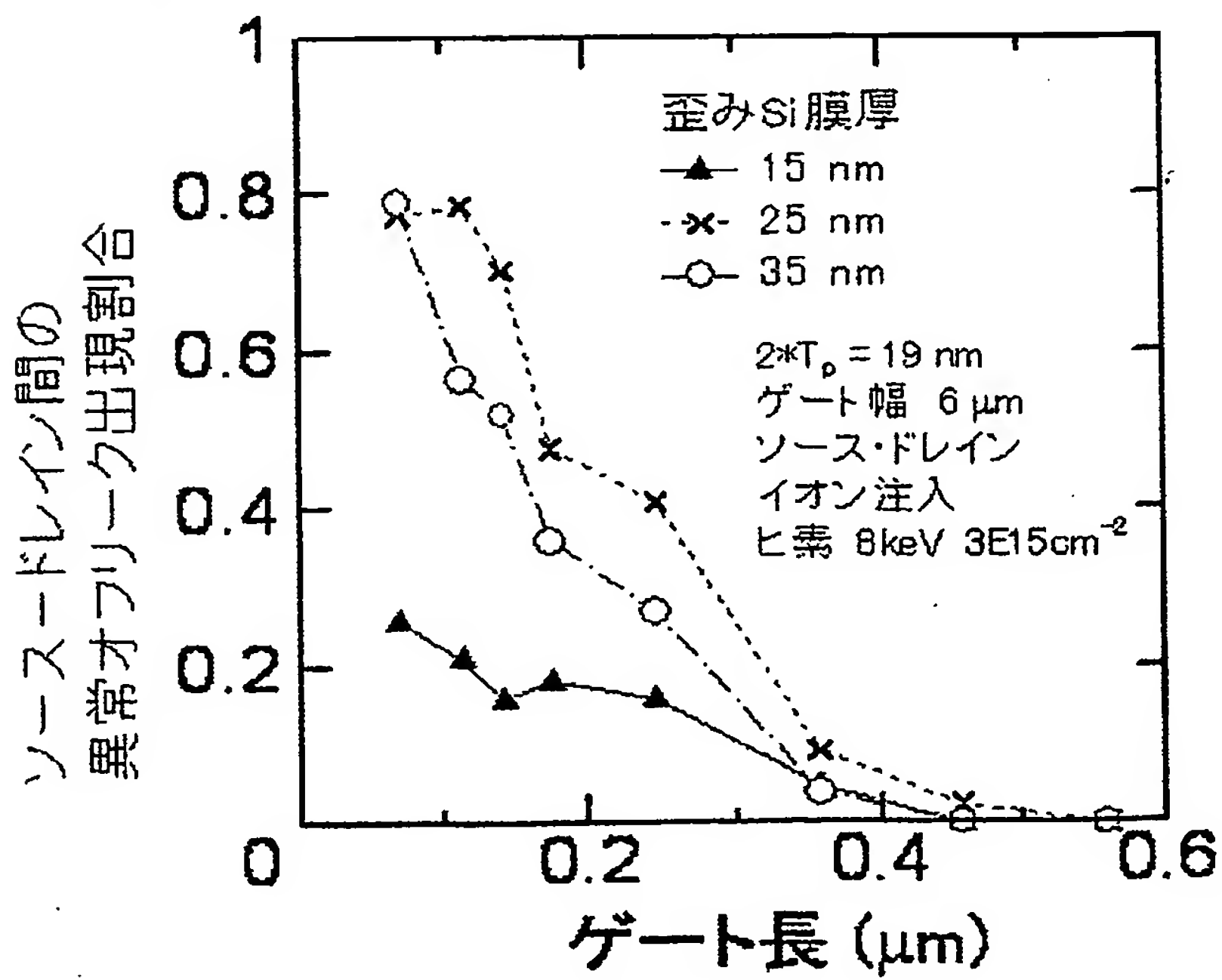
【図 2-2】



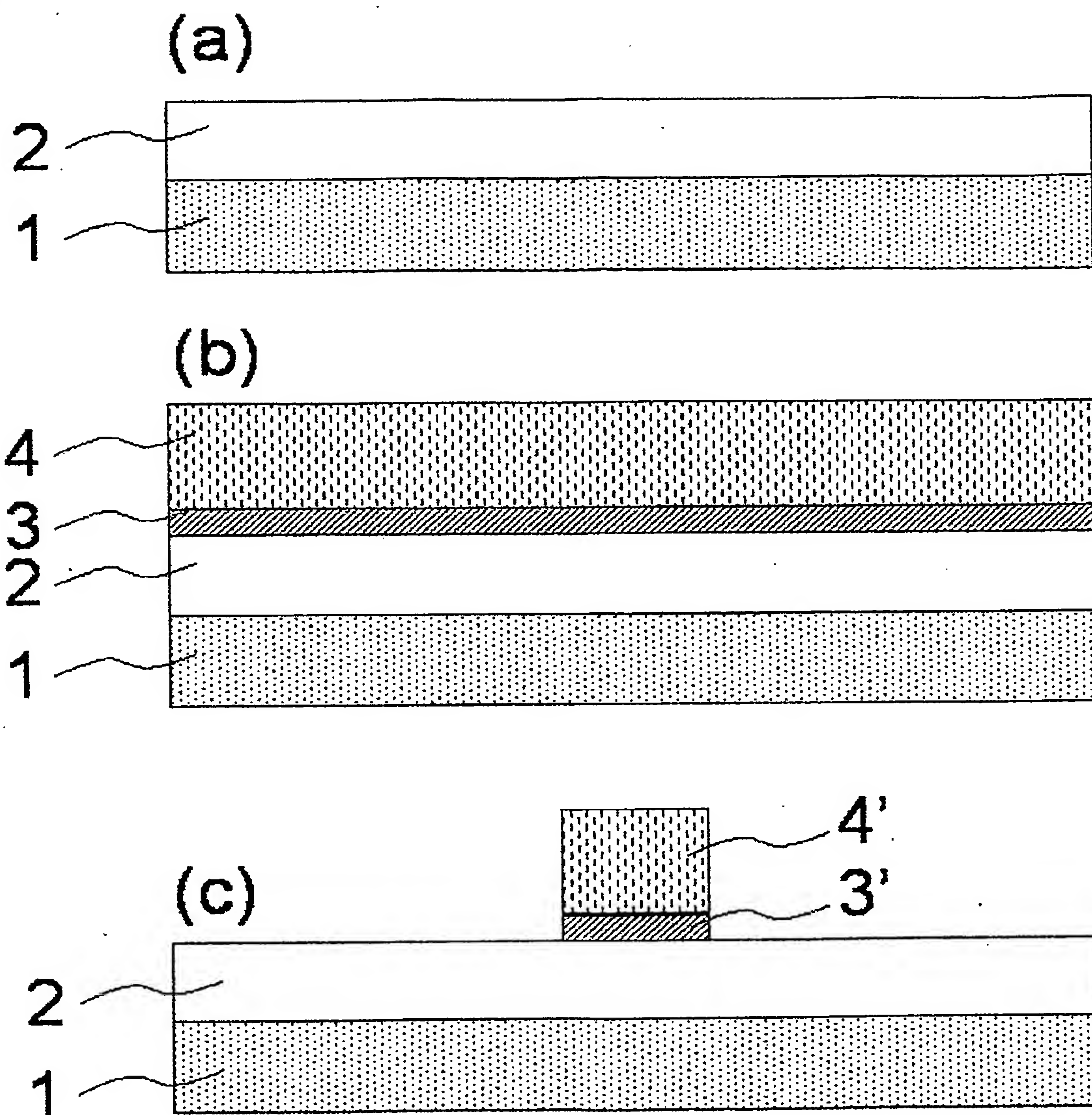
【図 2-3】



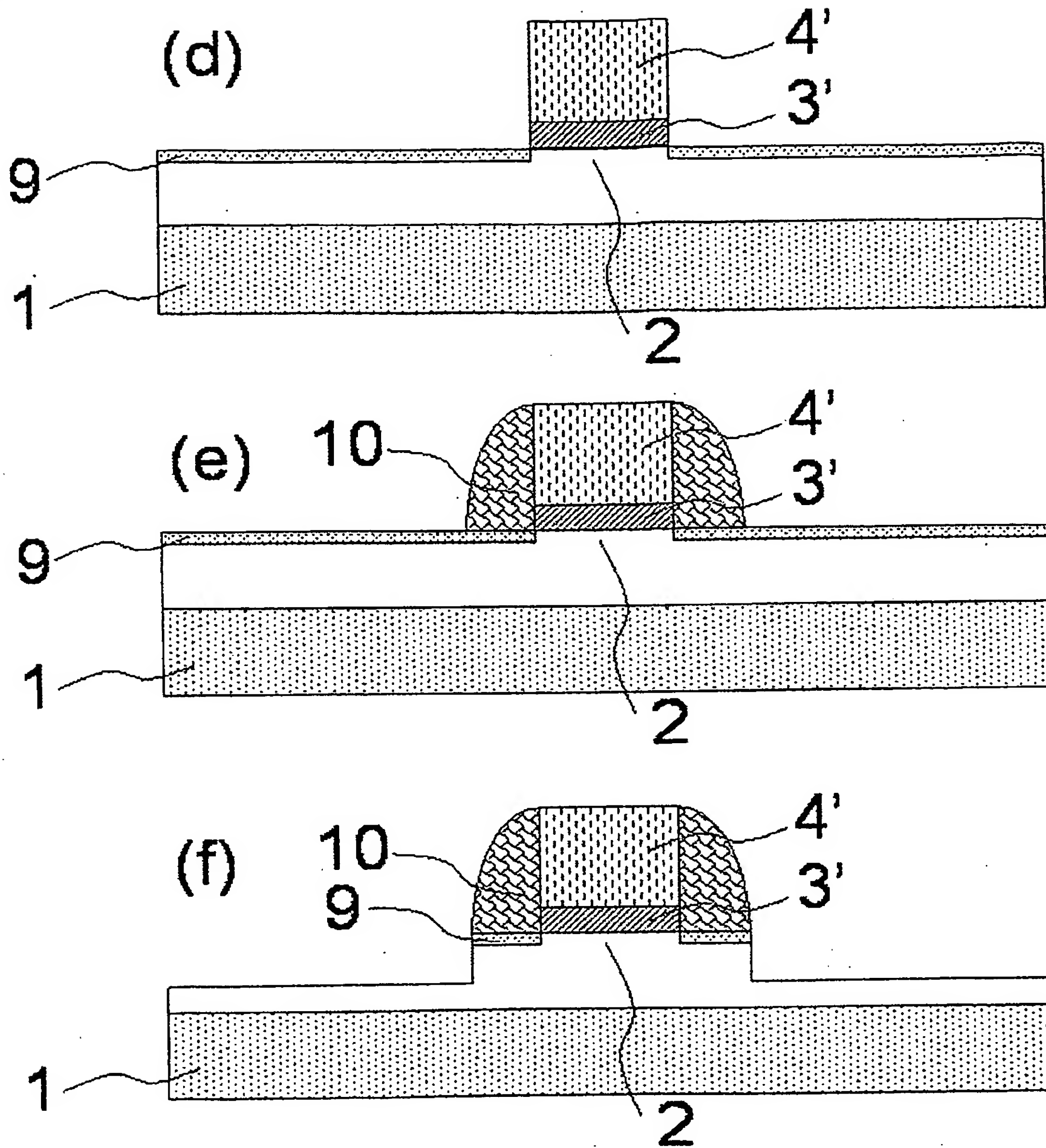
【図 3】



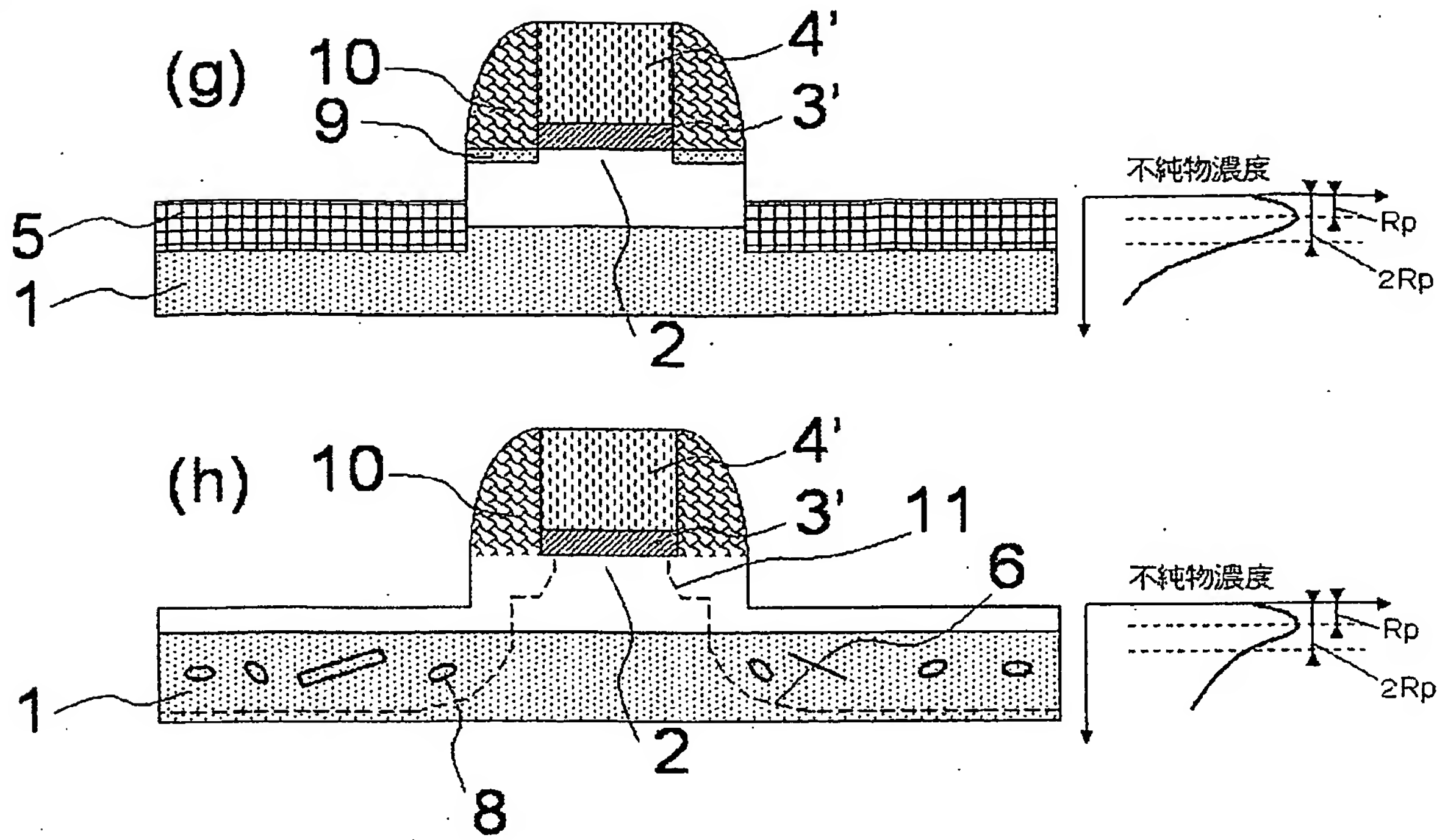
【図 4-1】



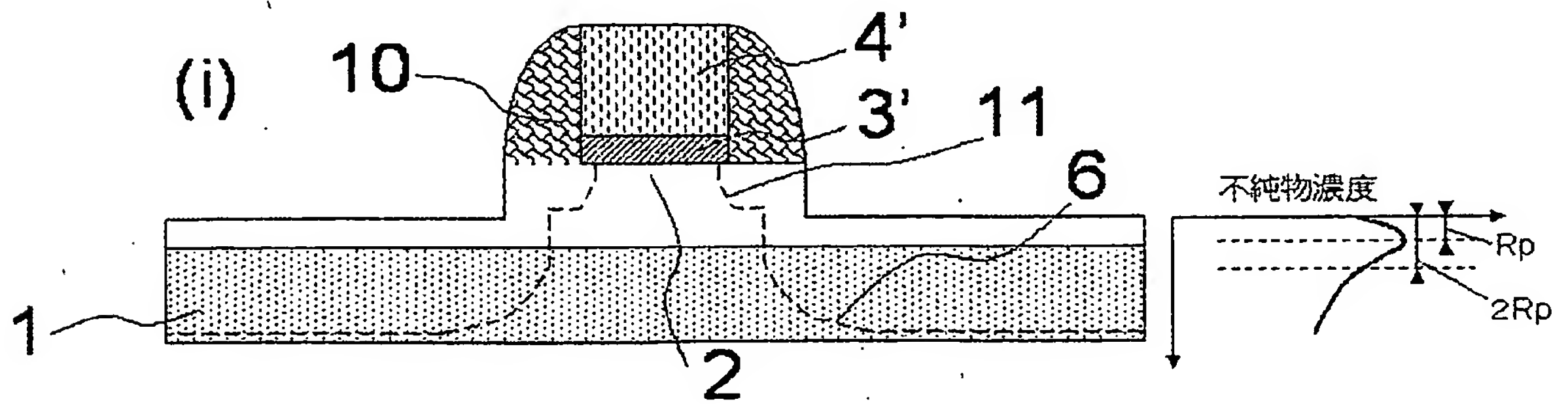
【図 4-2】



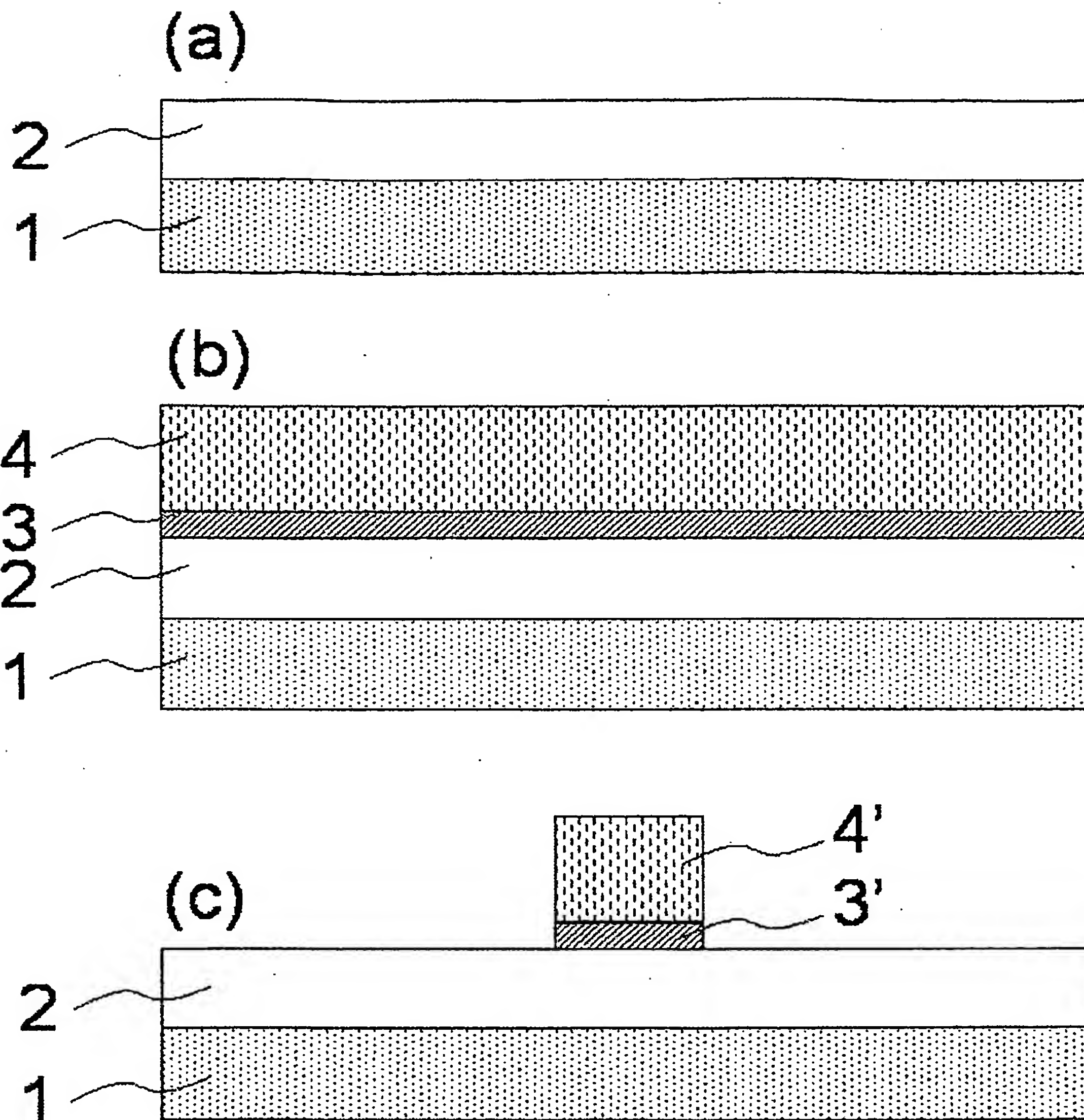
【図 4-3】



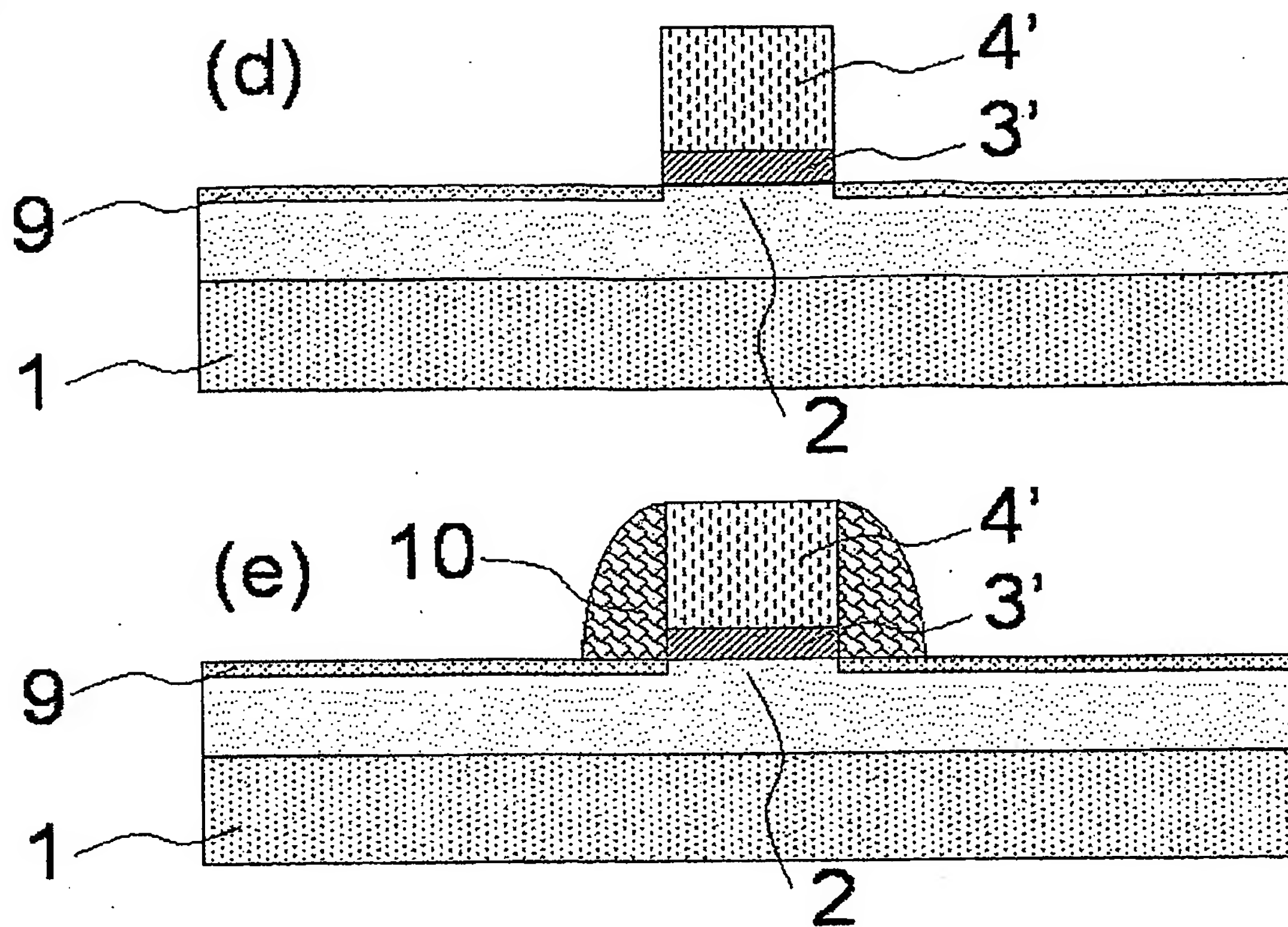
【図 4-4】



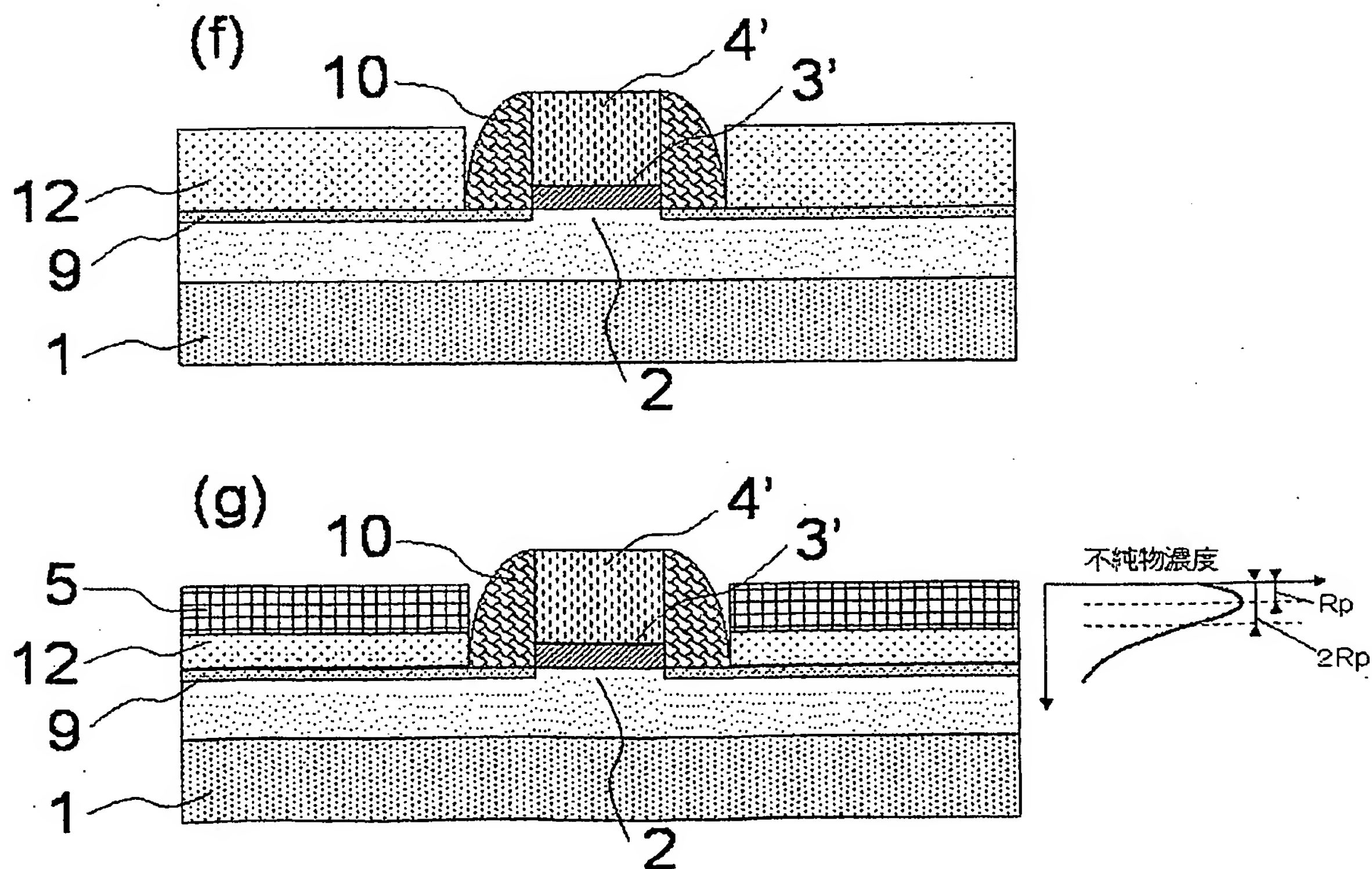
【図 5-1】



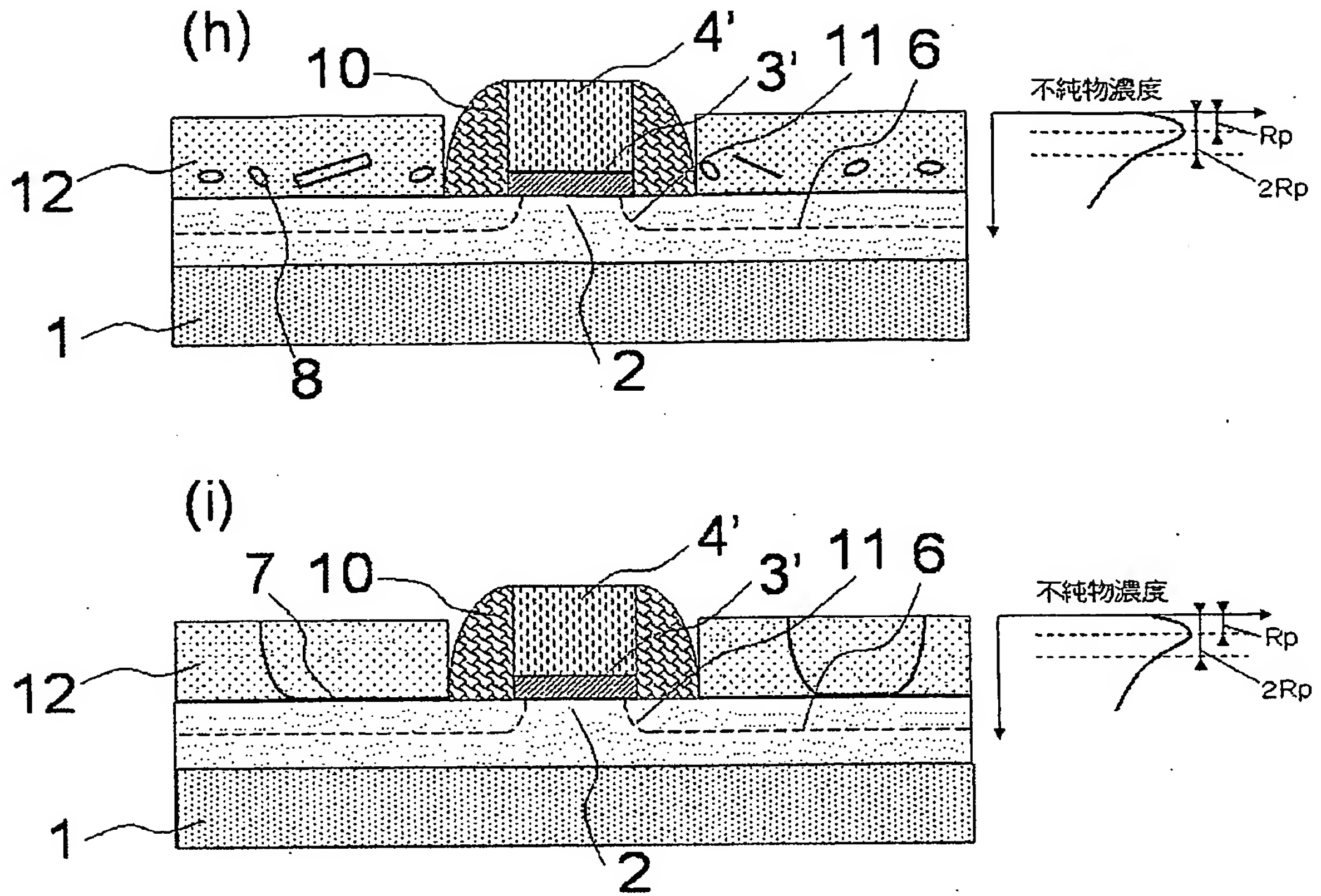
【図 5-2】



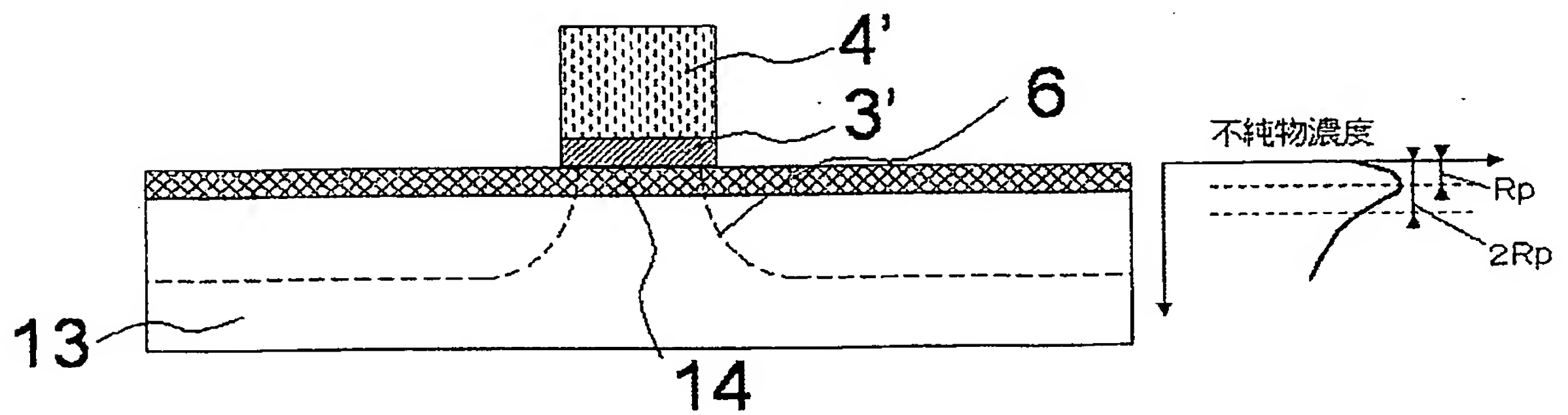
【図 5-3】



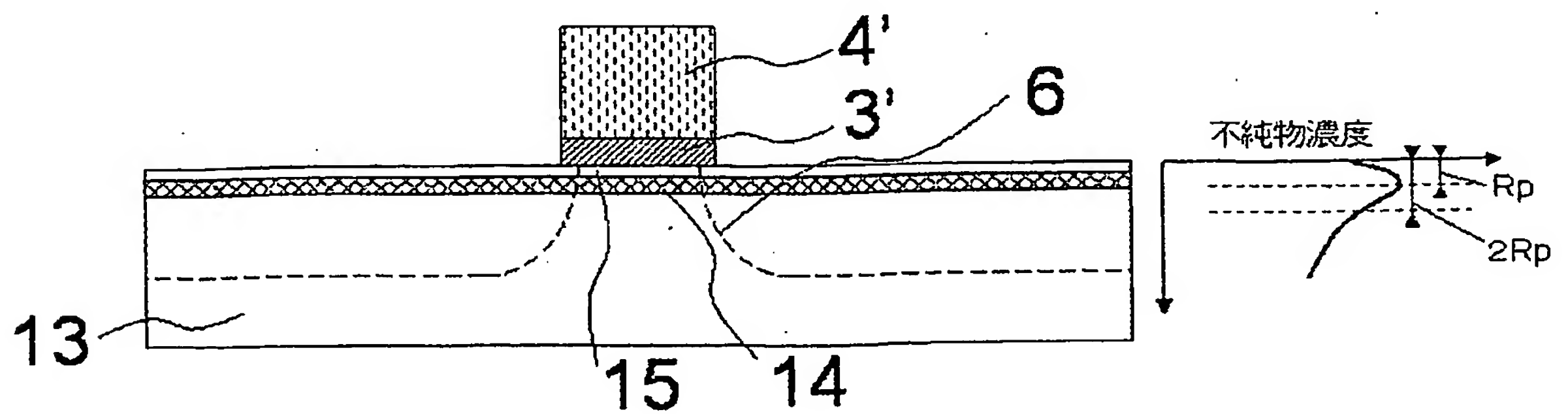
【図5-4】



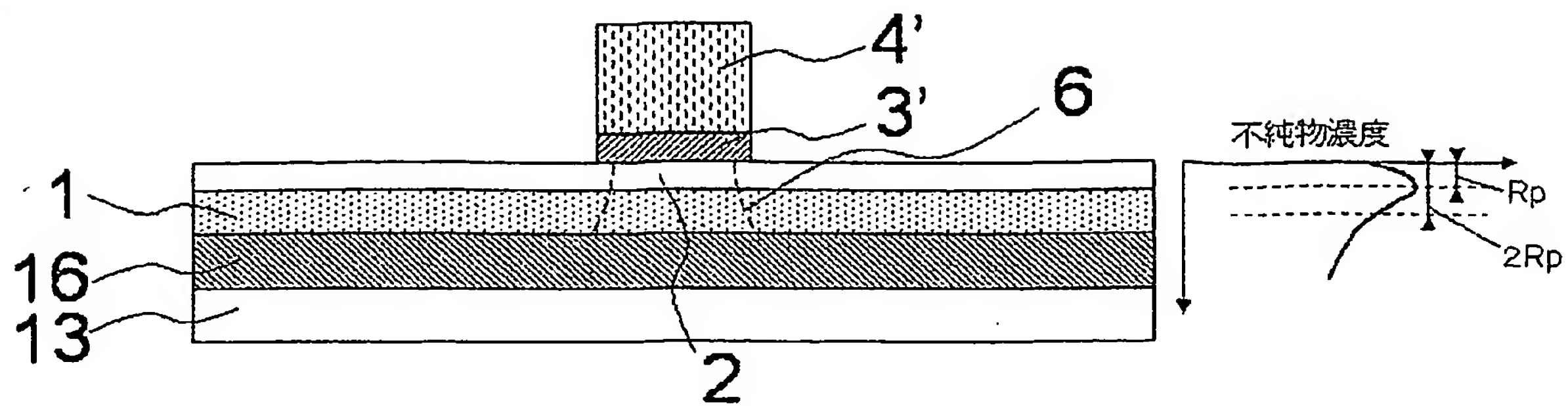
【図6】



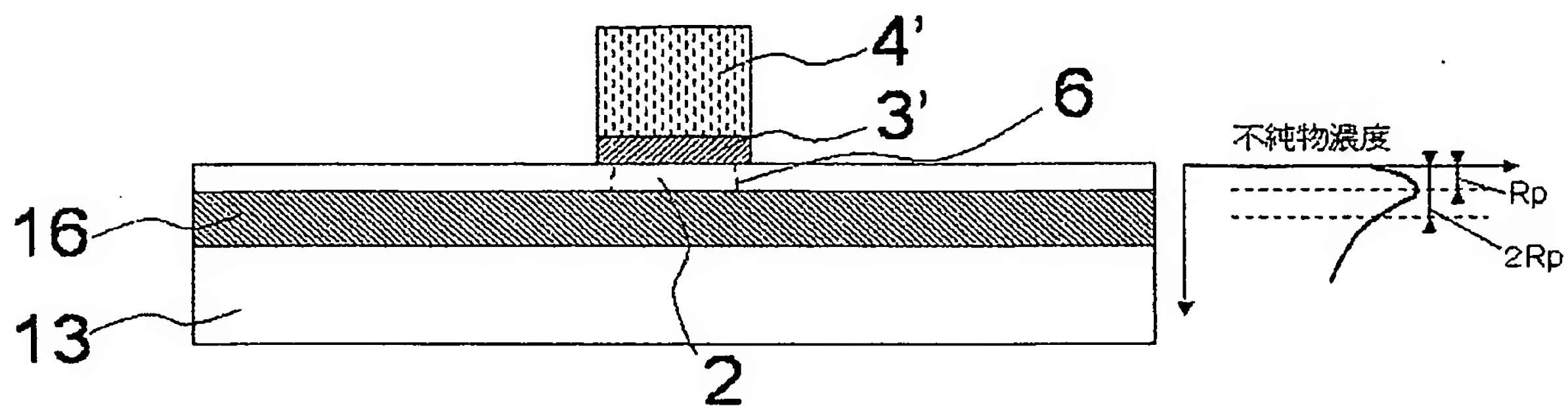
【図7】



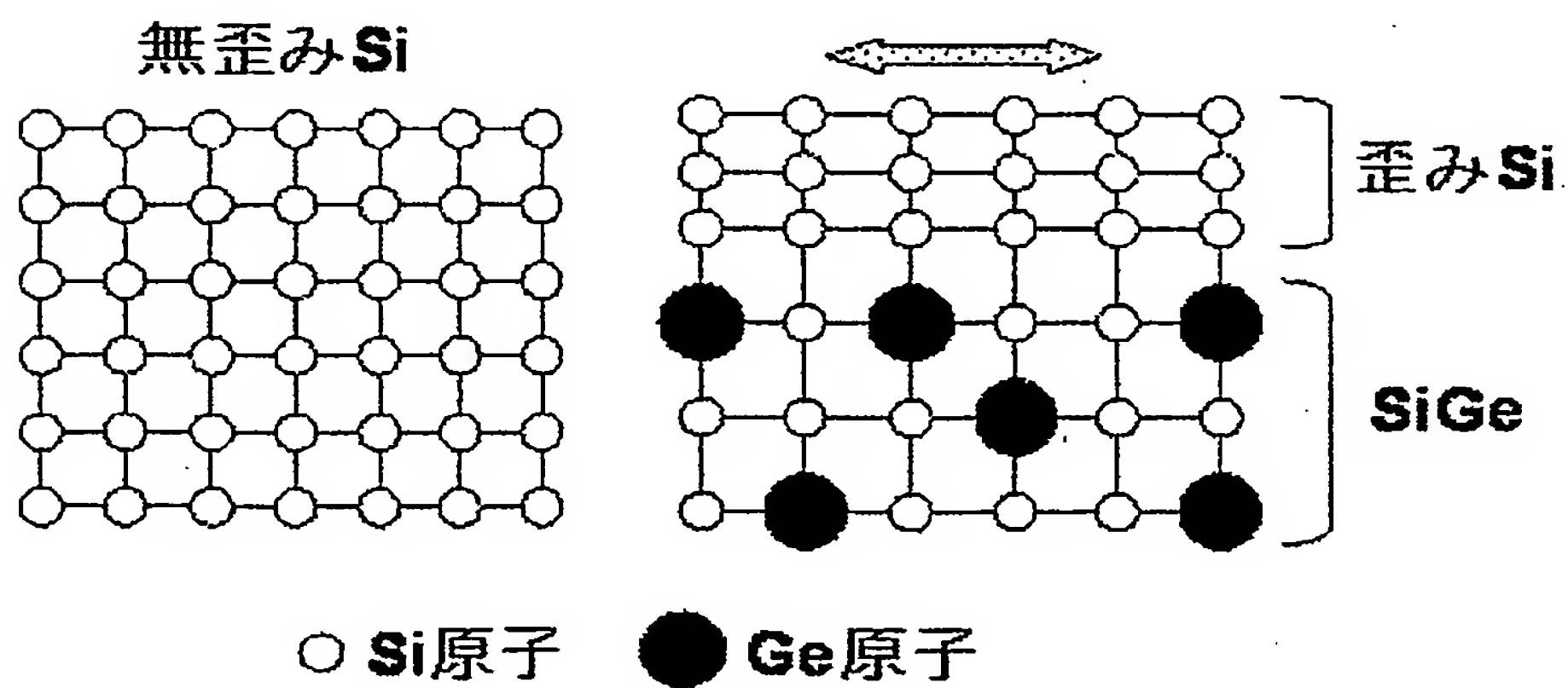
【図 8】



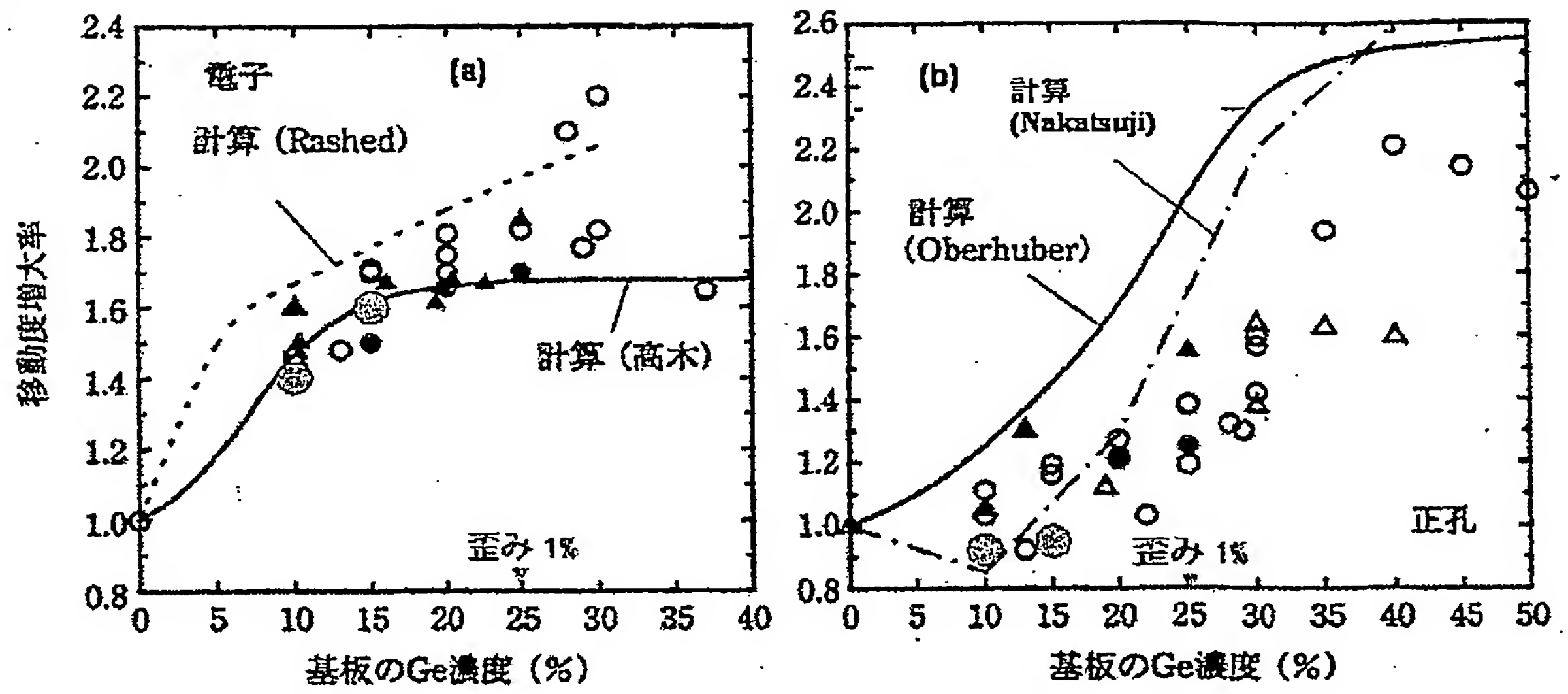
【図 9】



【図 10】

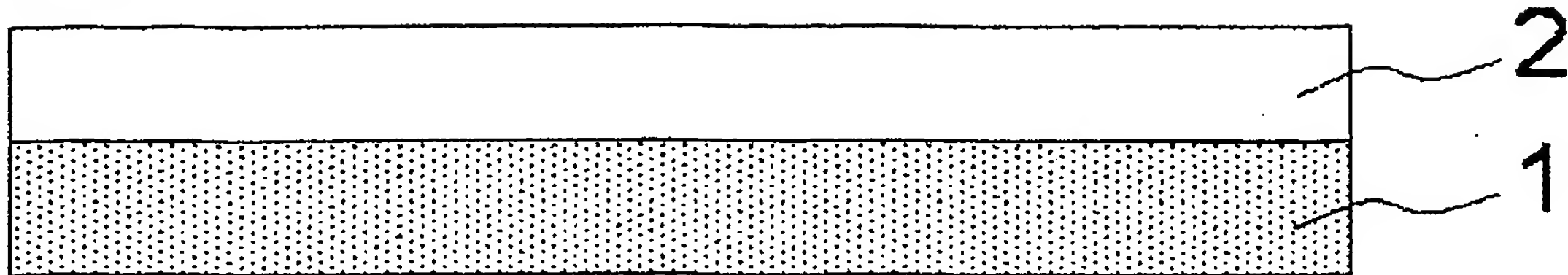


【図 11】

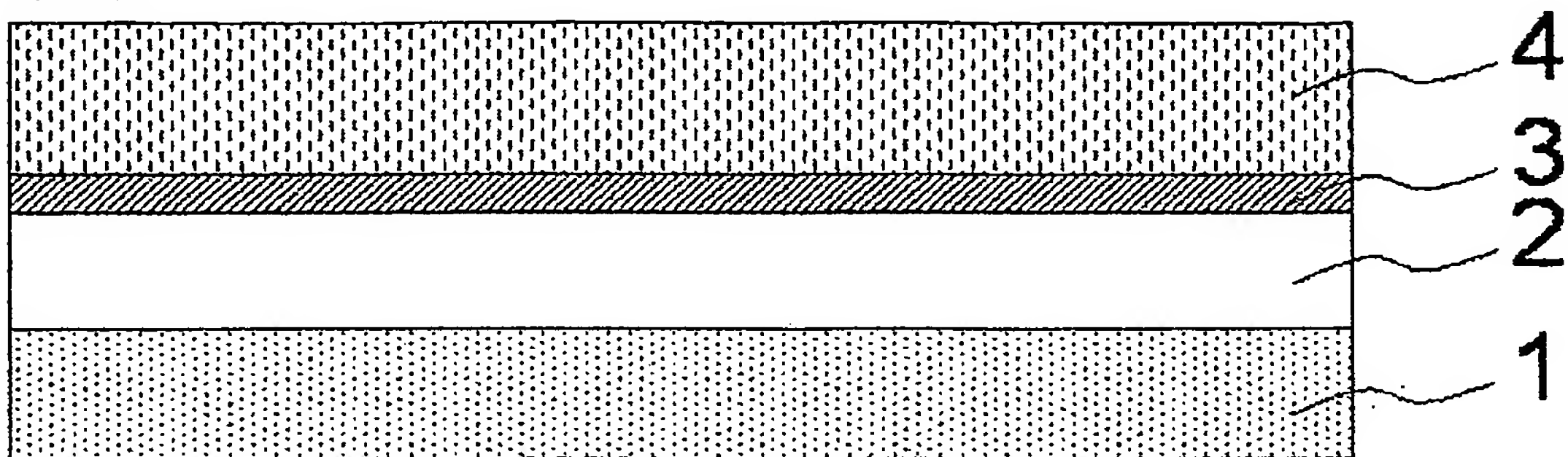


【図 12-1】

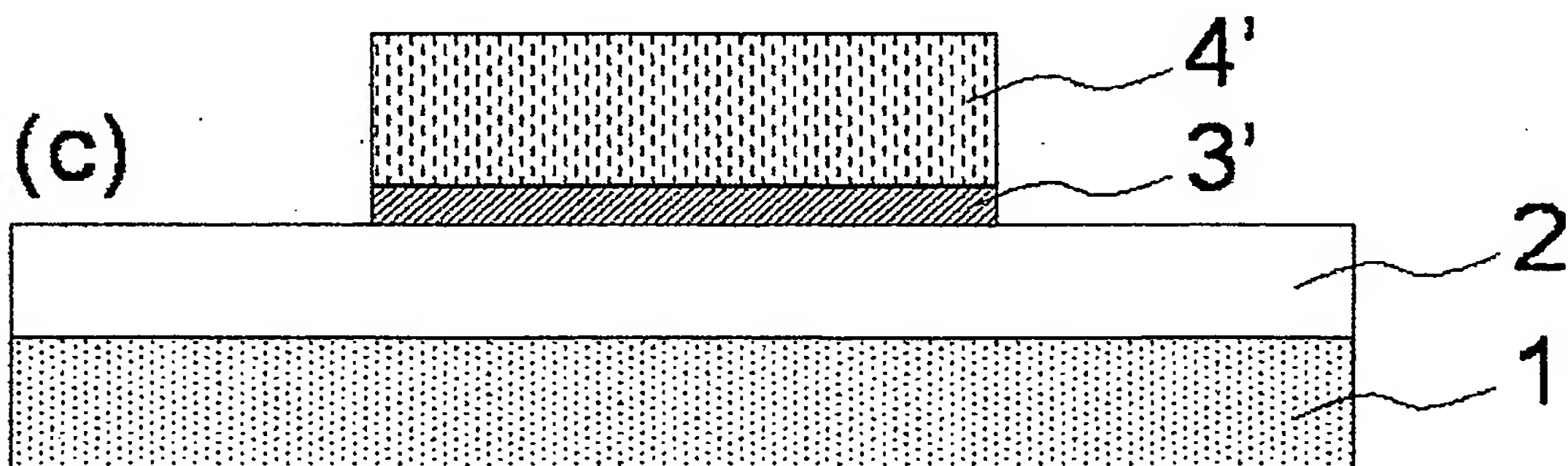
(a)



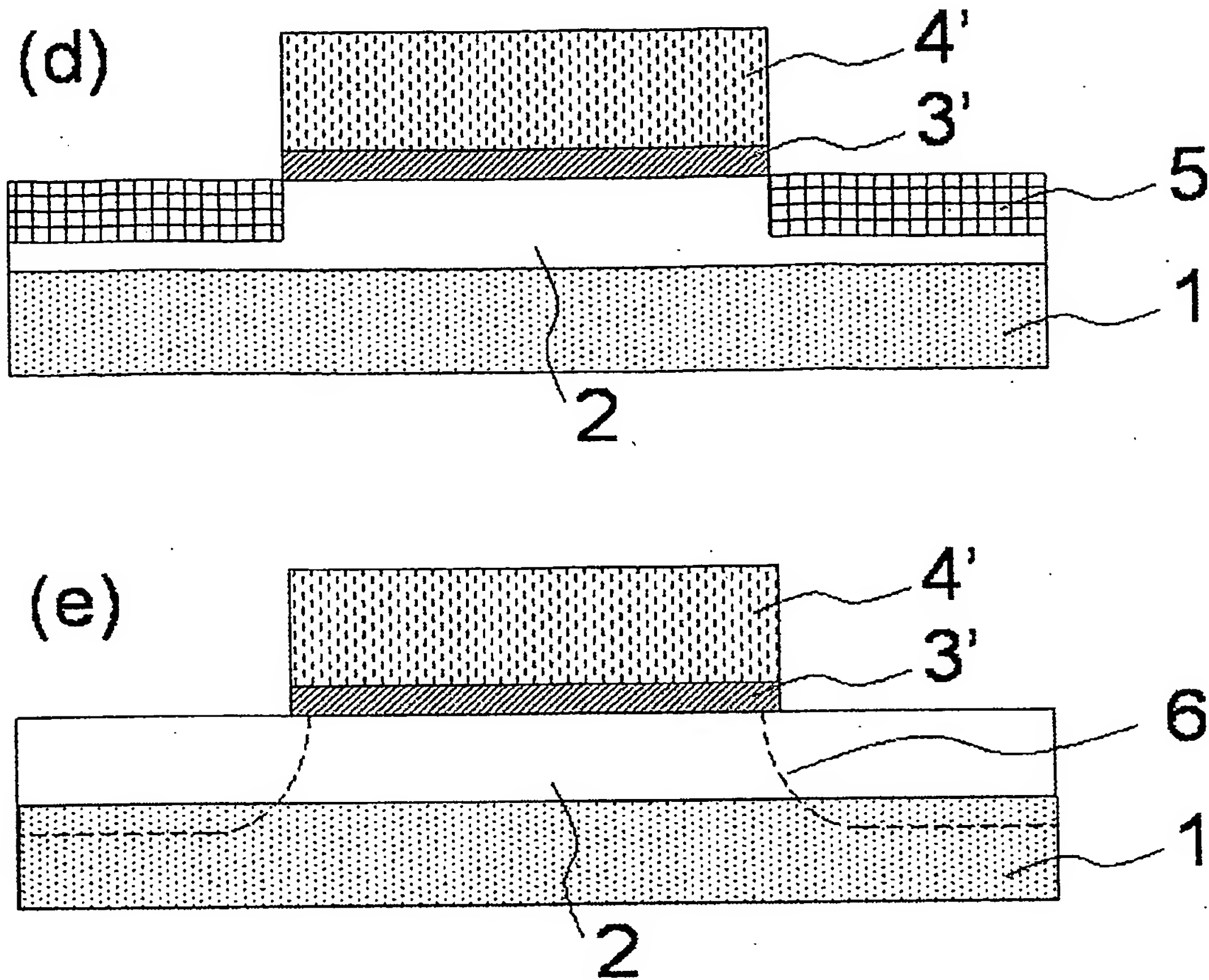
(b)



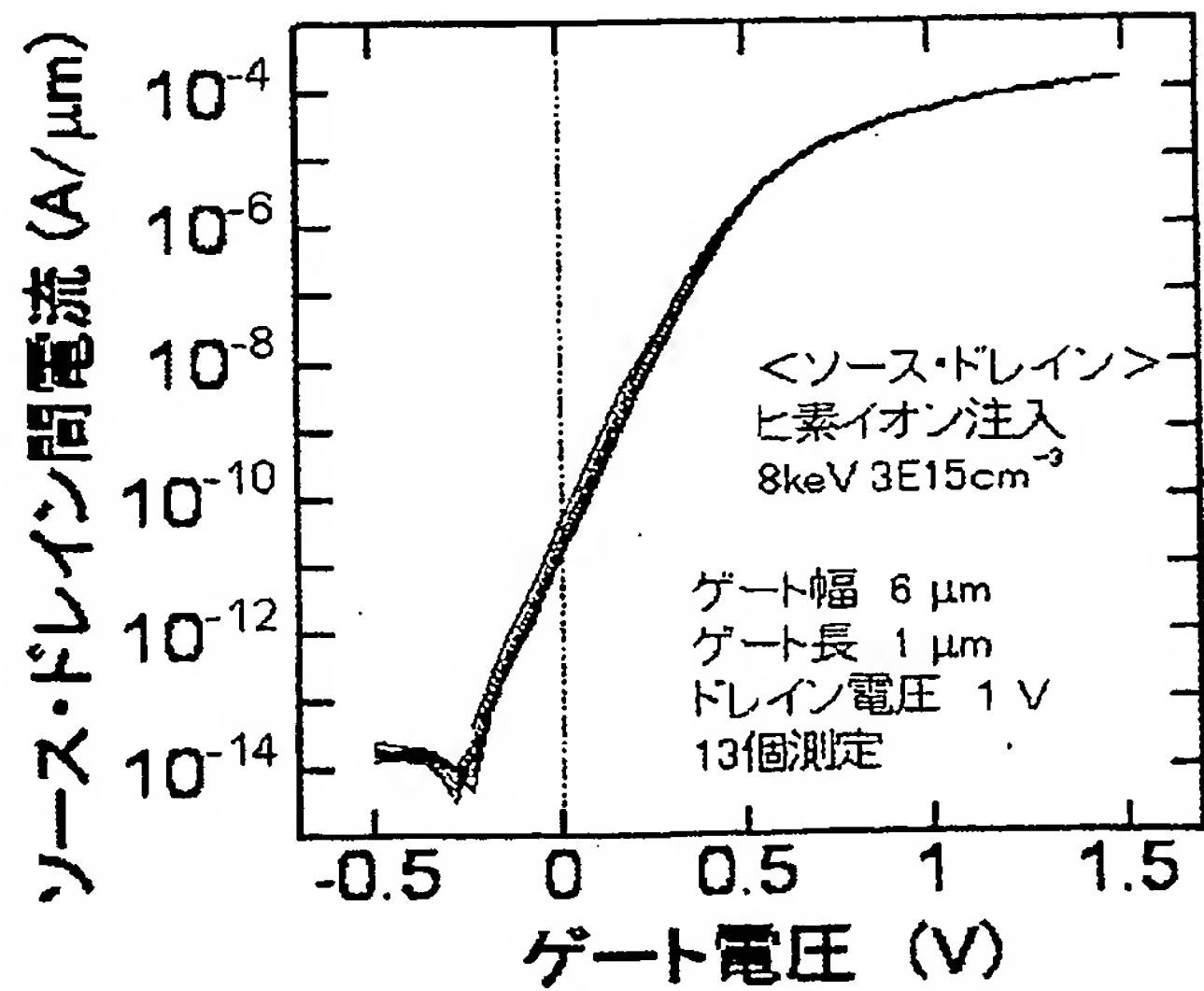
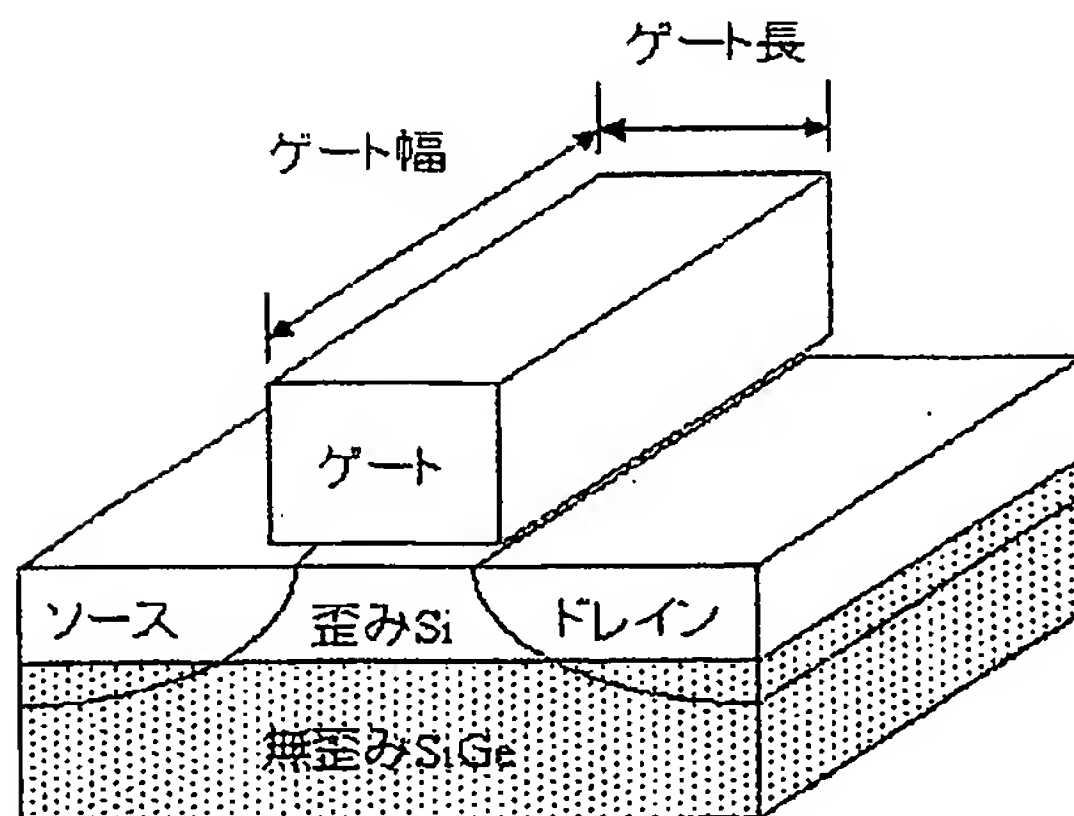
(c)

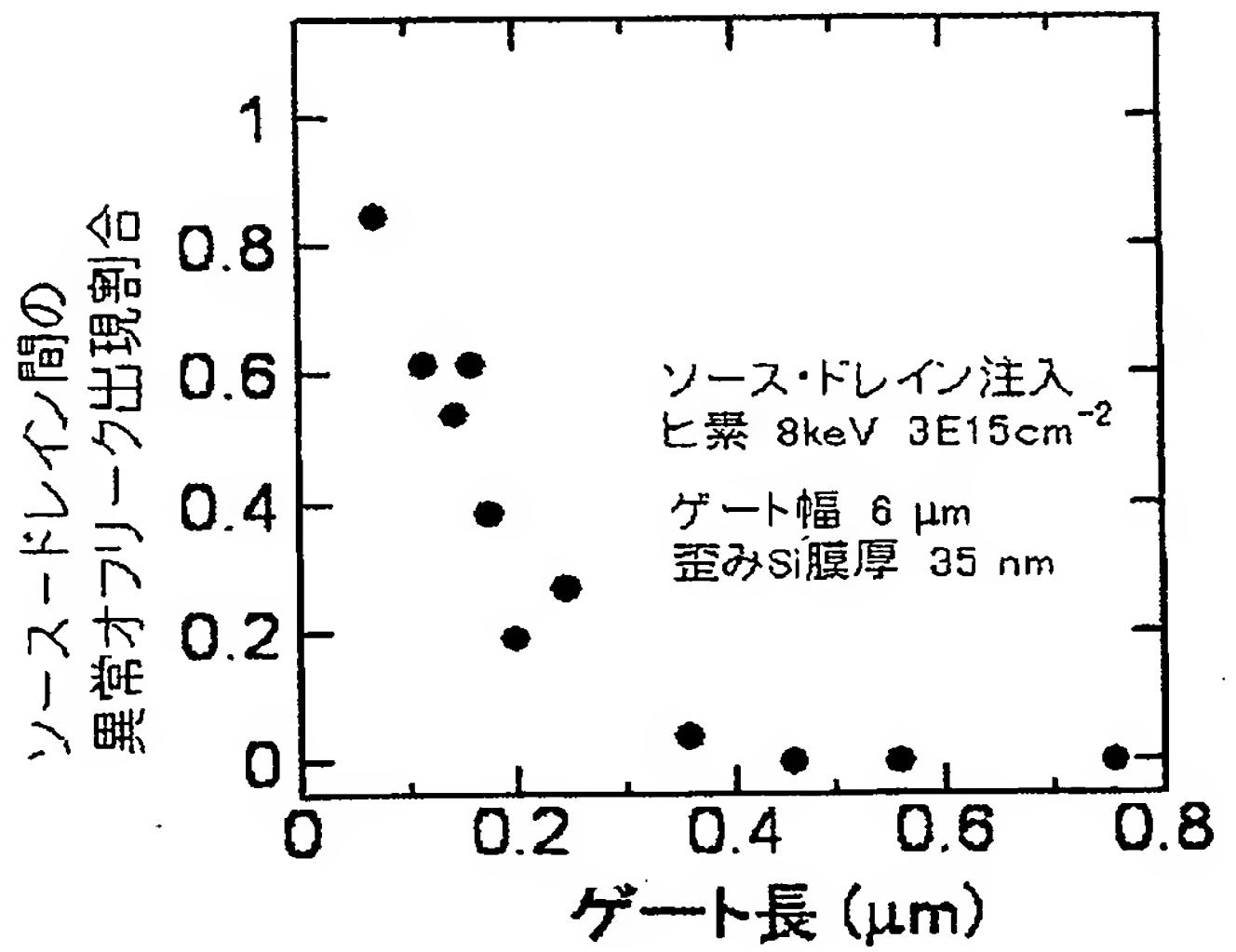
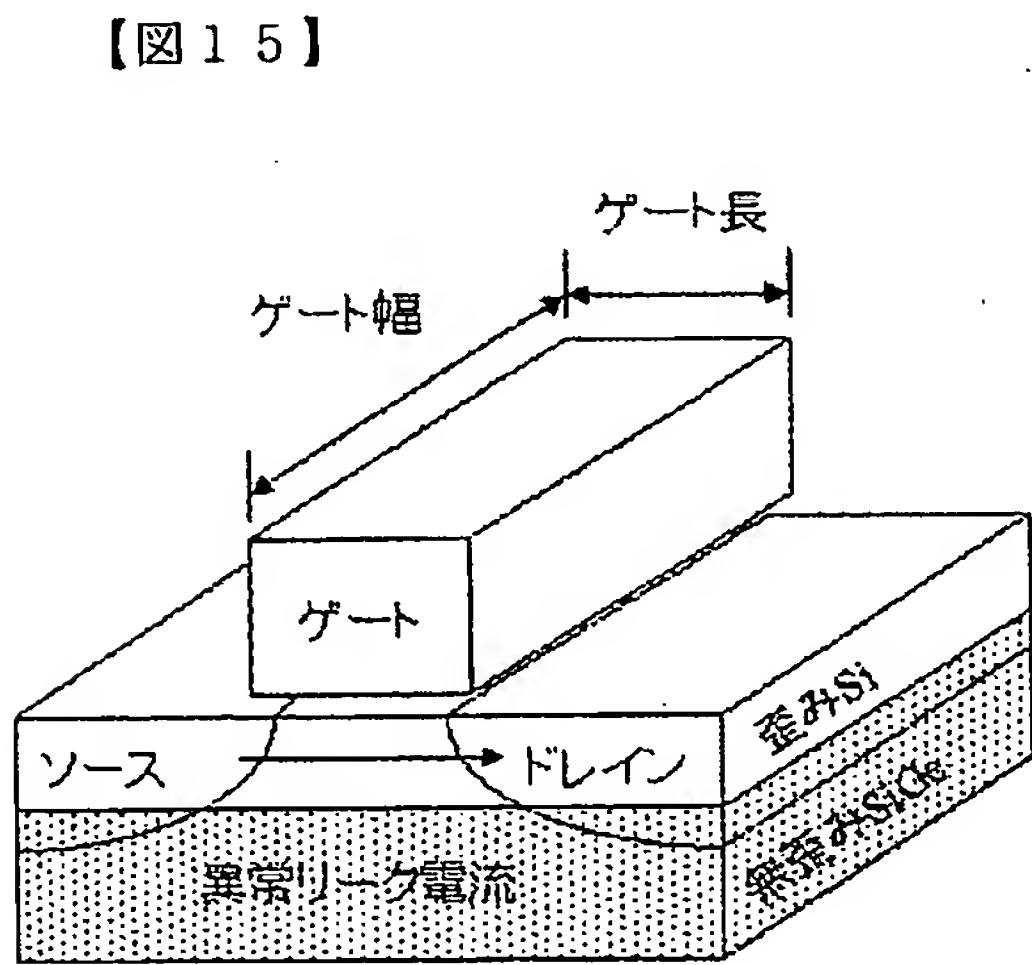
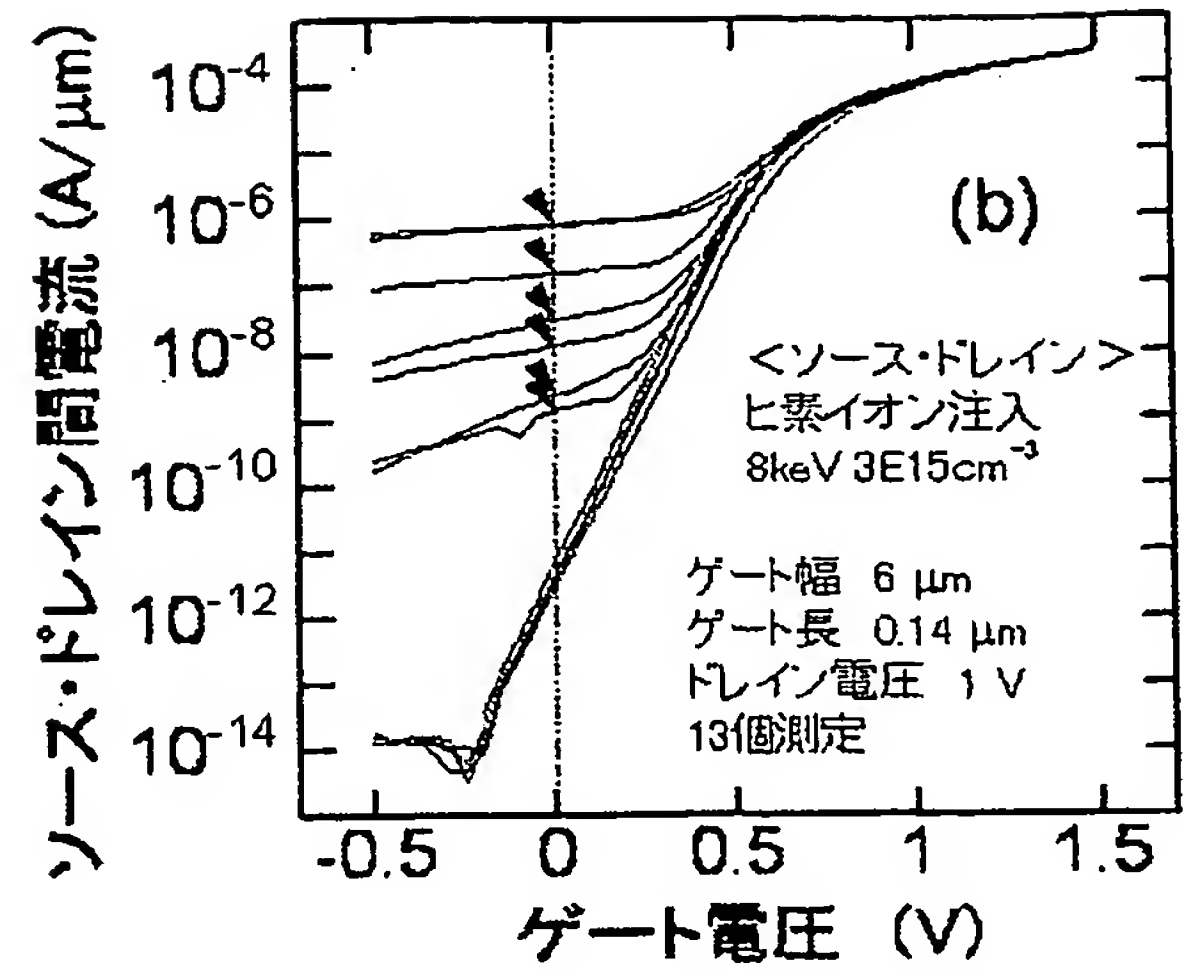
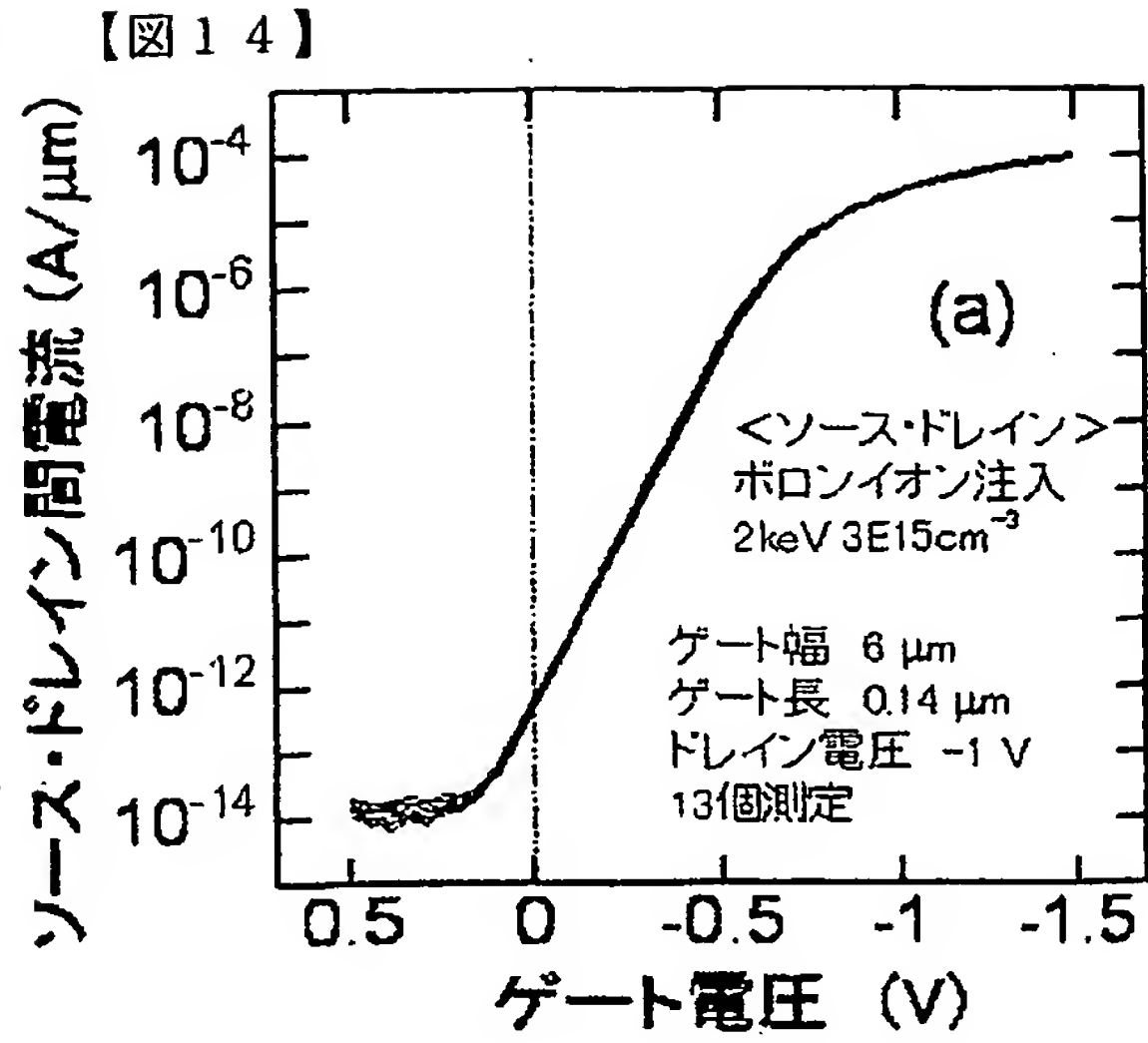


【図 12-2】



【図 13】



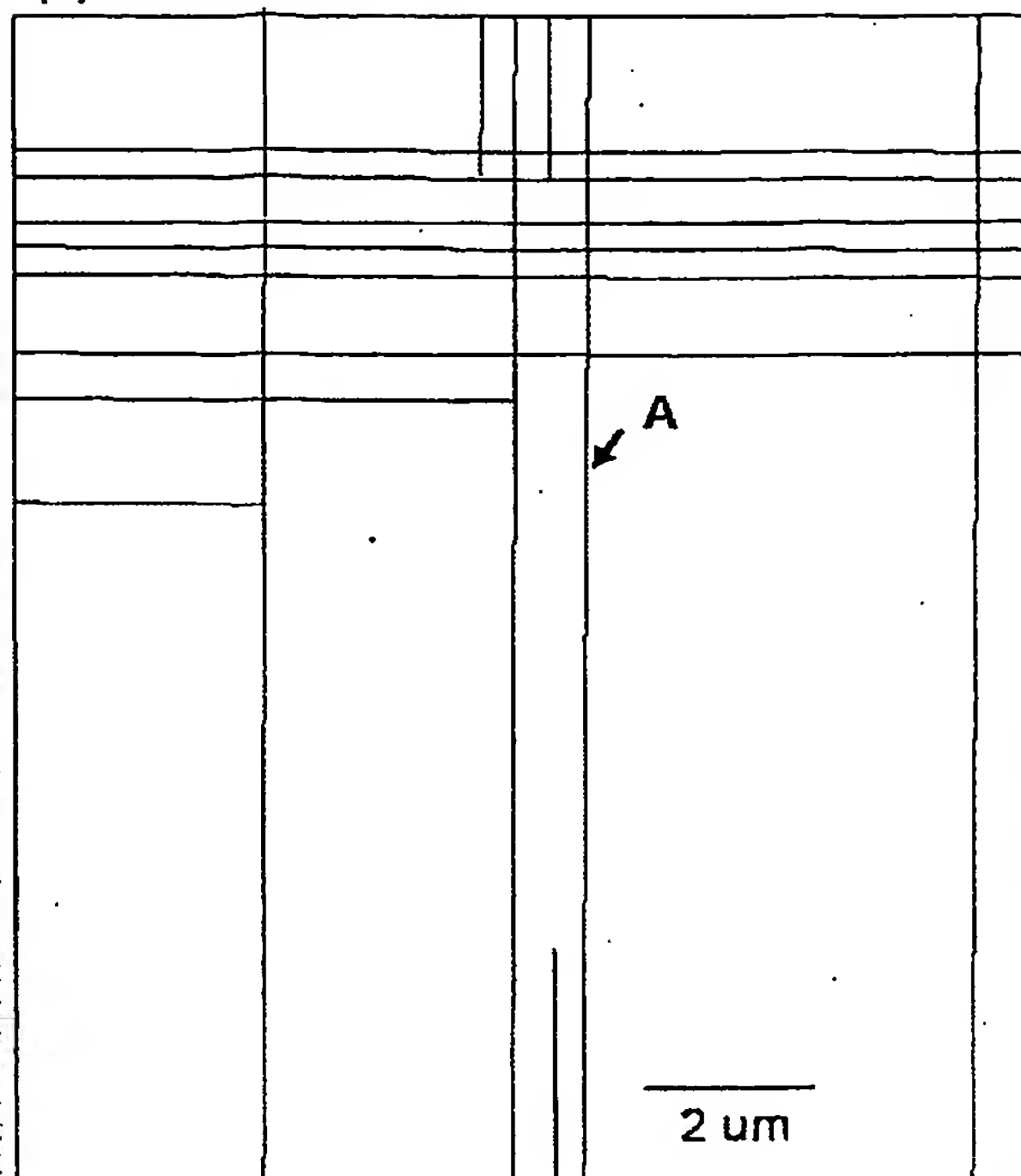


【図16-1】

(a) 平面TEM像

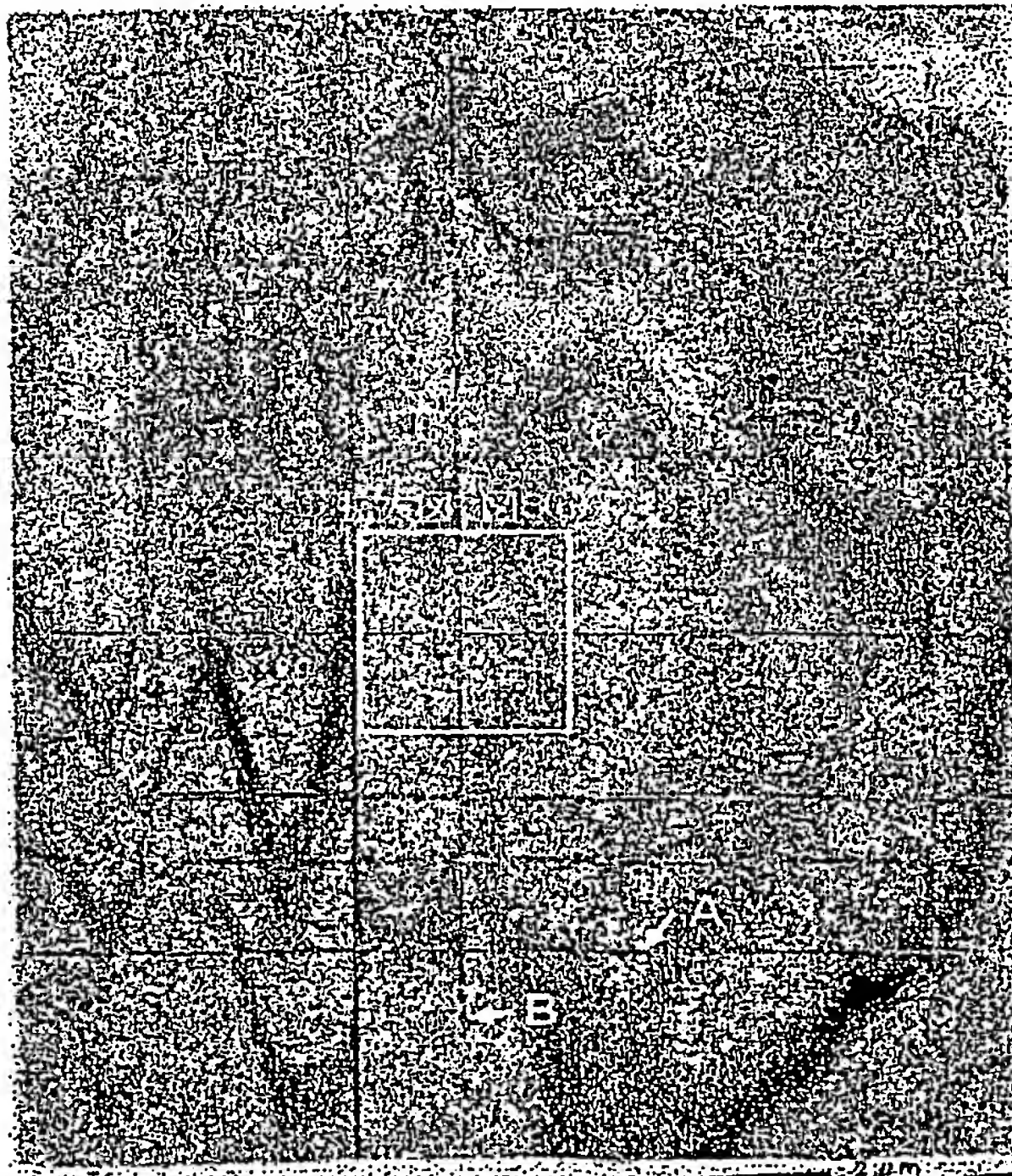


(a)' 平面TEM像

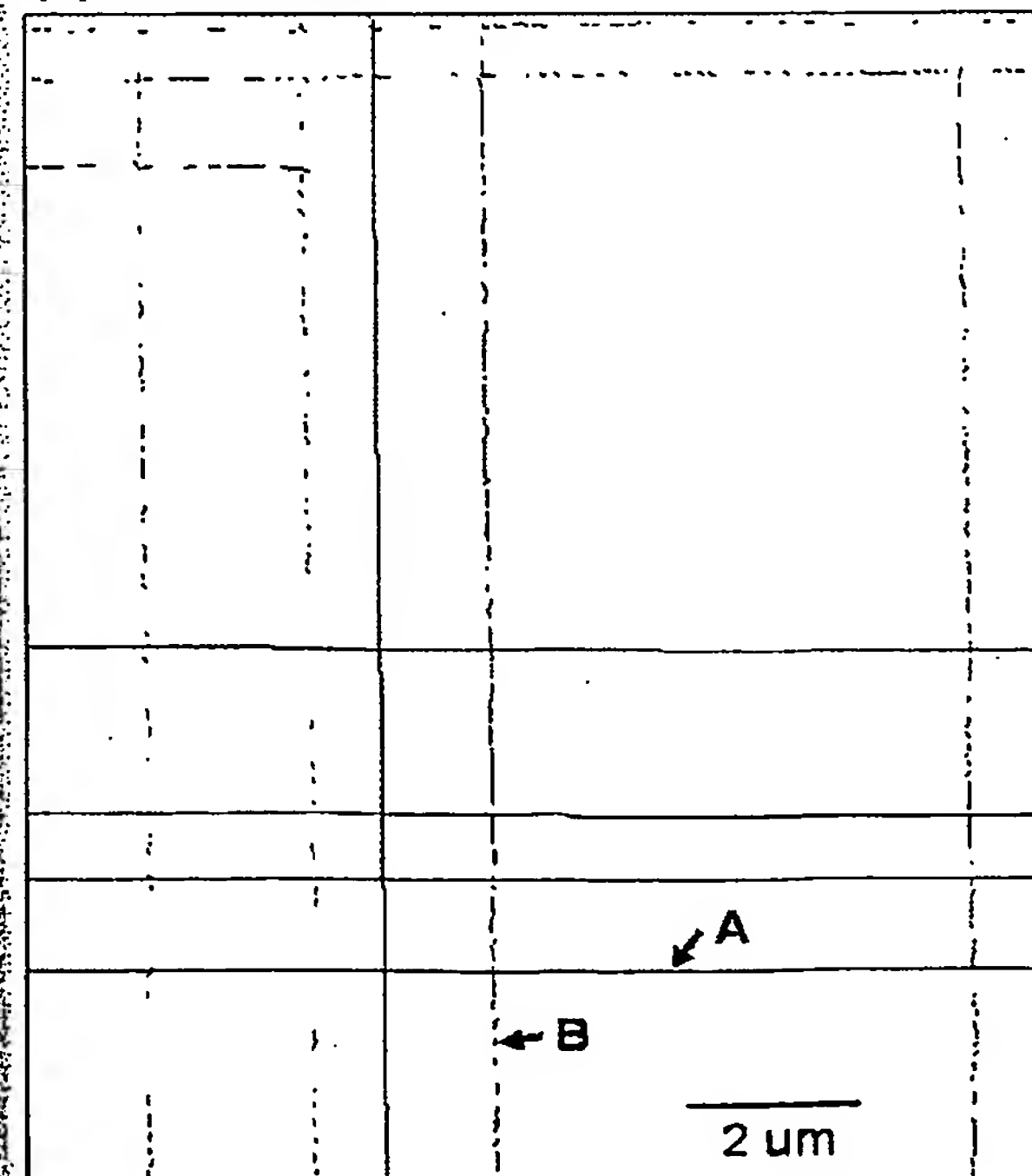


【図16-2】

(b) 平面TEM像

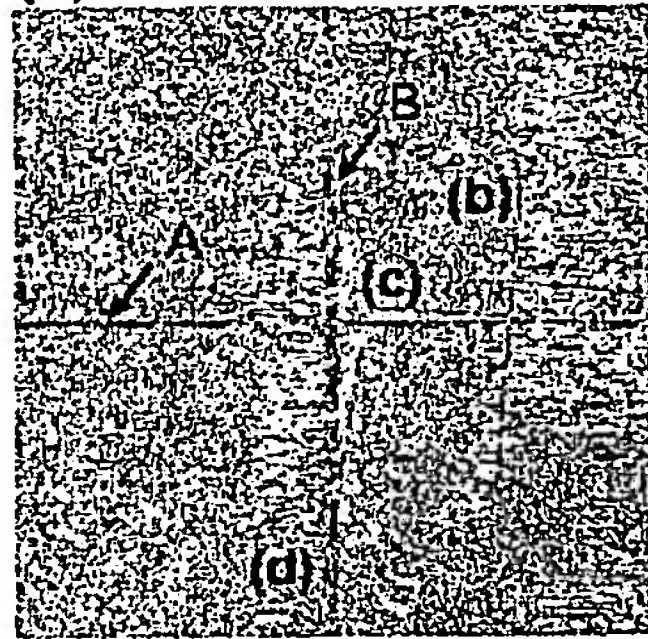


(b)' 平面TEM像



【図 17】

(a) 平面TEM像拡大図

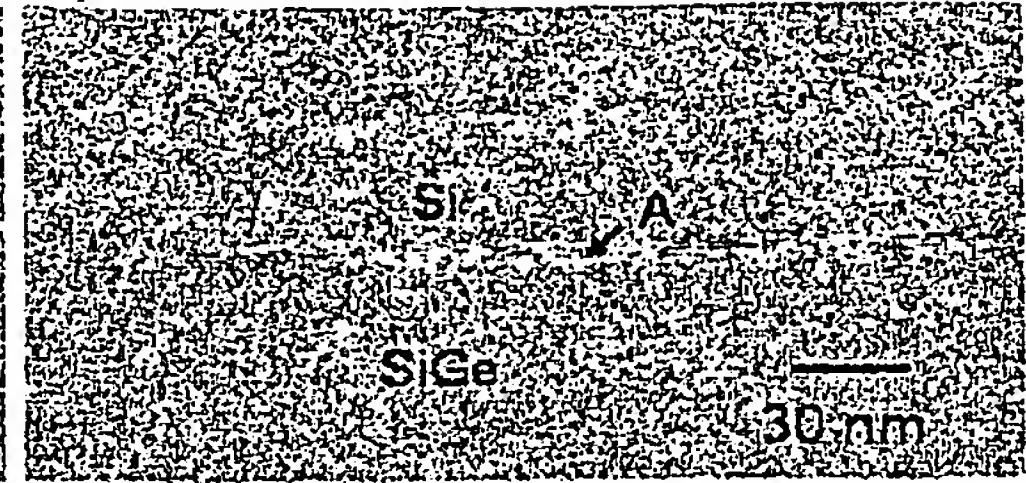


1 μm

(b) 断面TEM像1



(c) 断面TEM像2

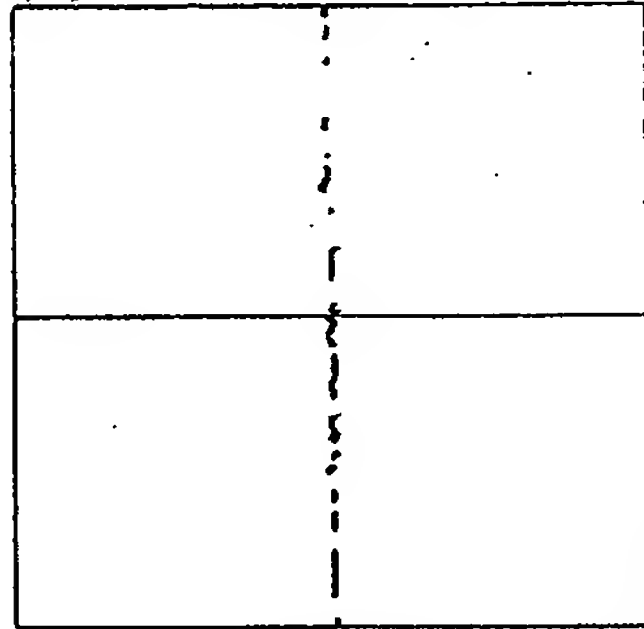


(d) 断面TEM像3



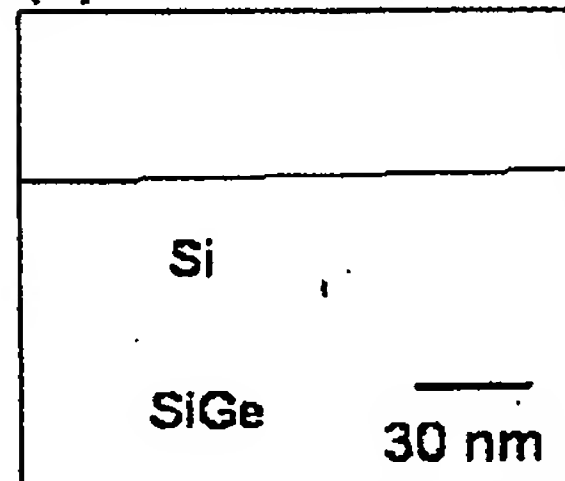
0.1 μm

(a)' 平面TEM像拡大図

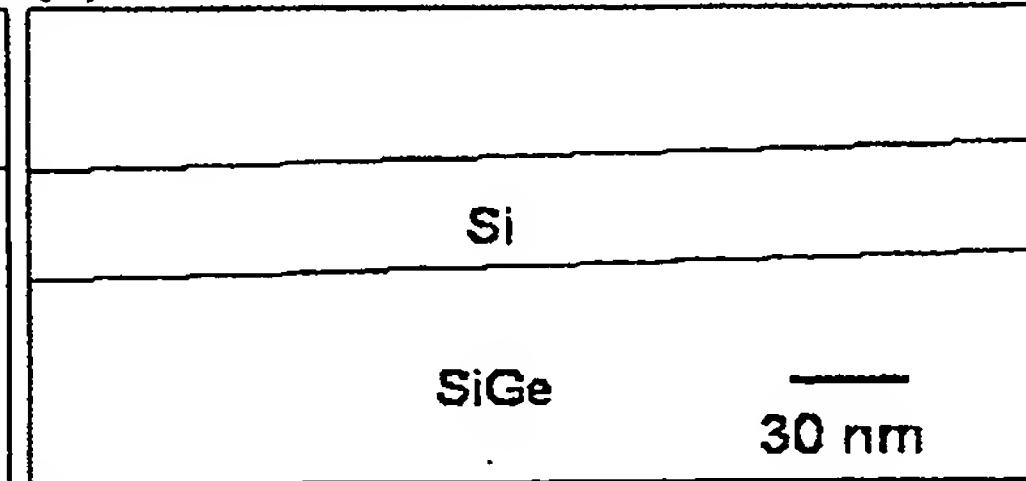


1 μm

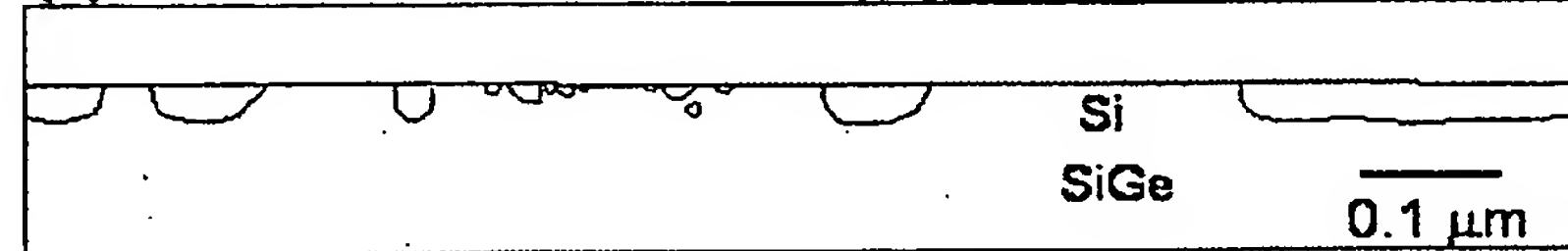
(b)' 断面TEM像1



(c)' 断面TEM像2

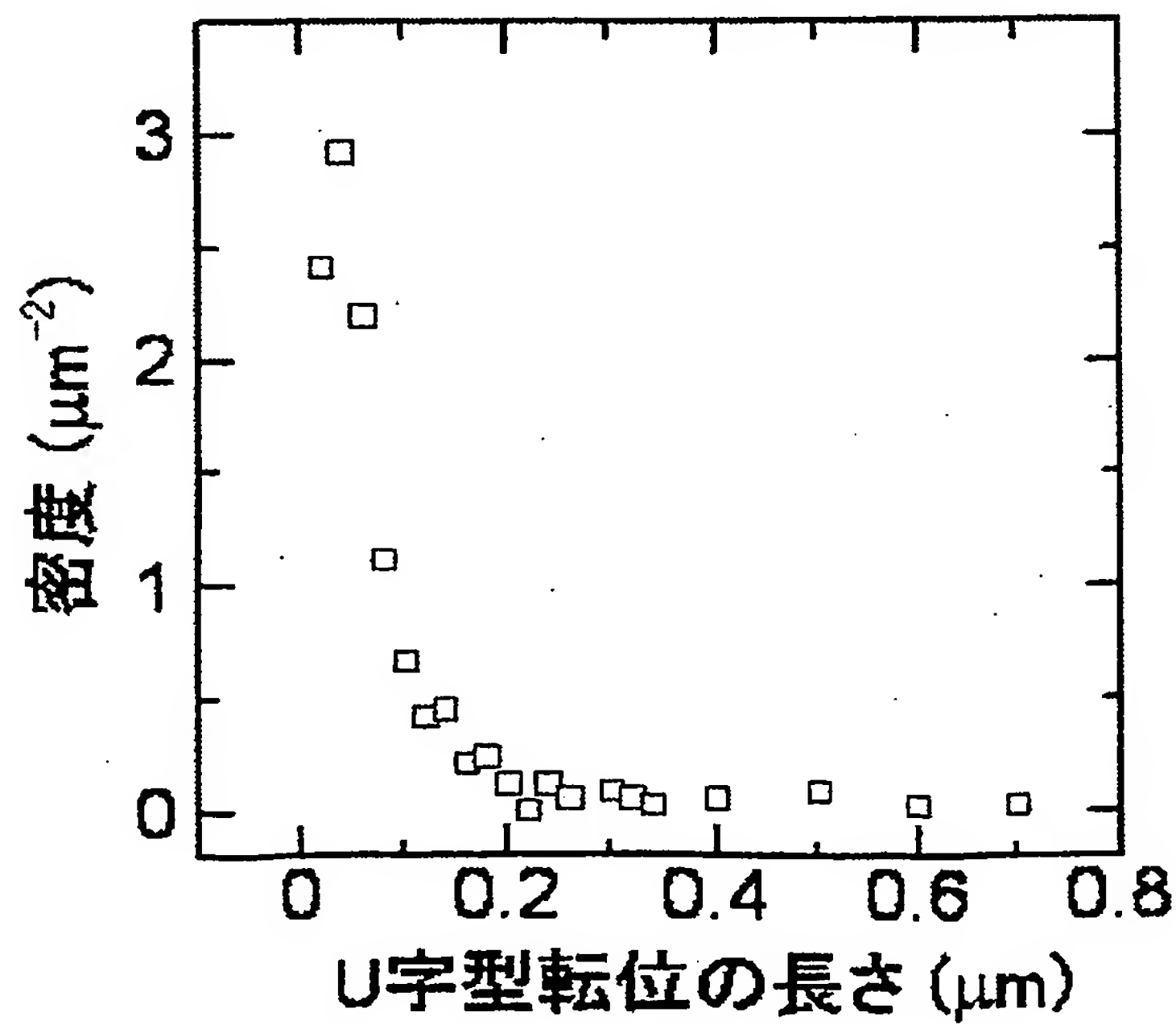


(d)' 断面TEM像3

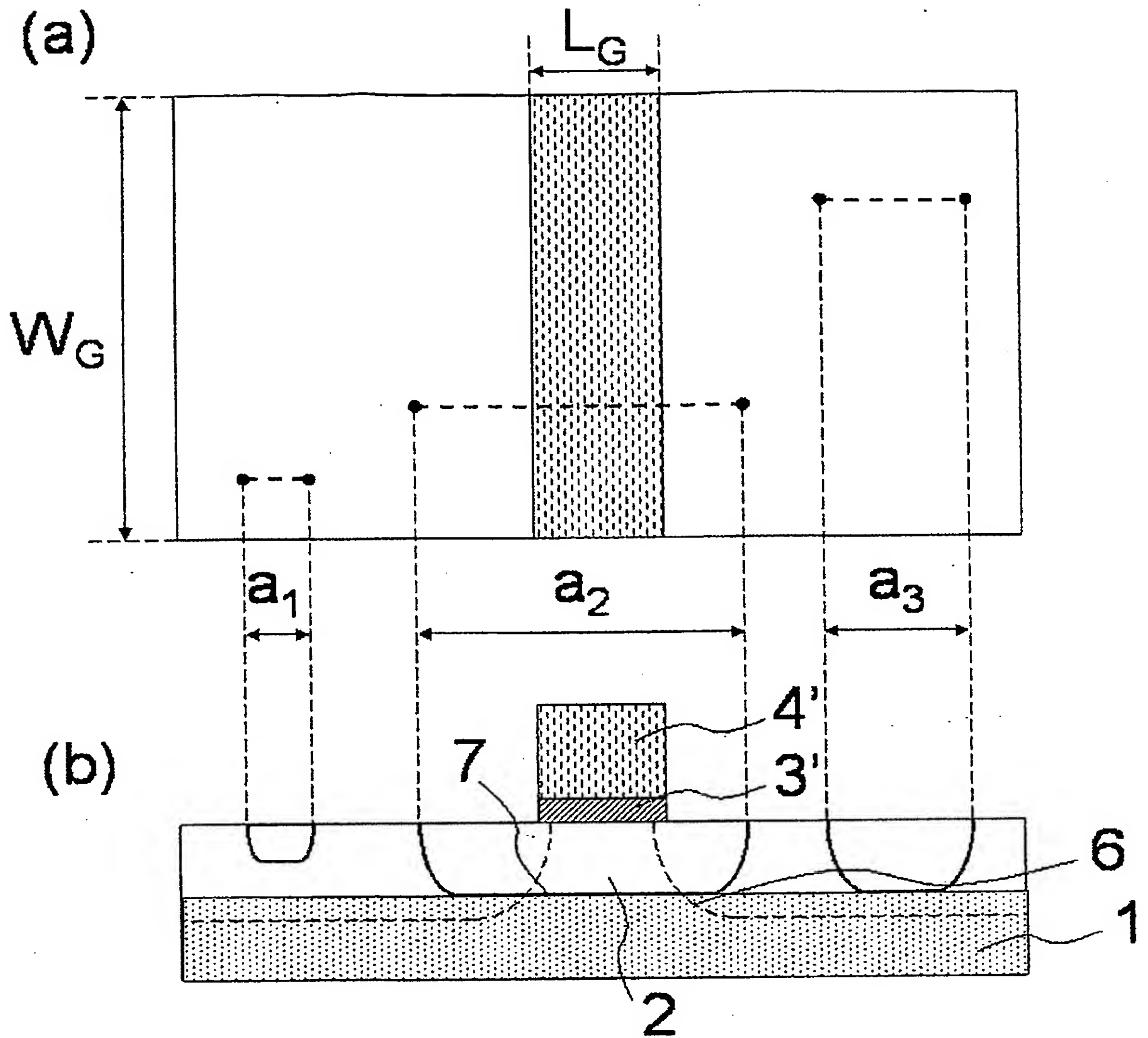


0.1 μm

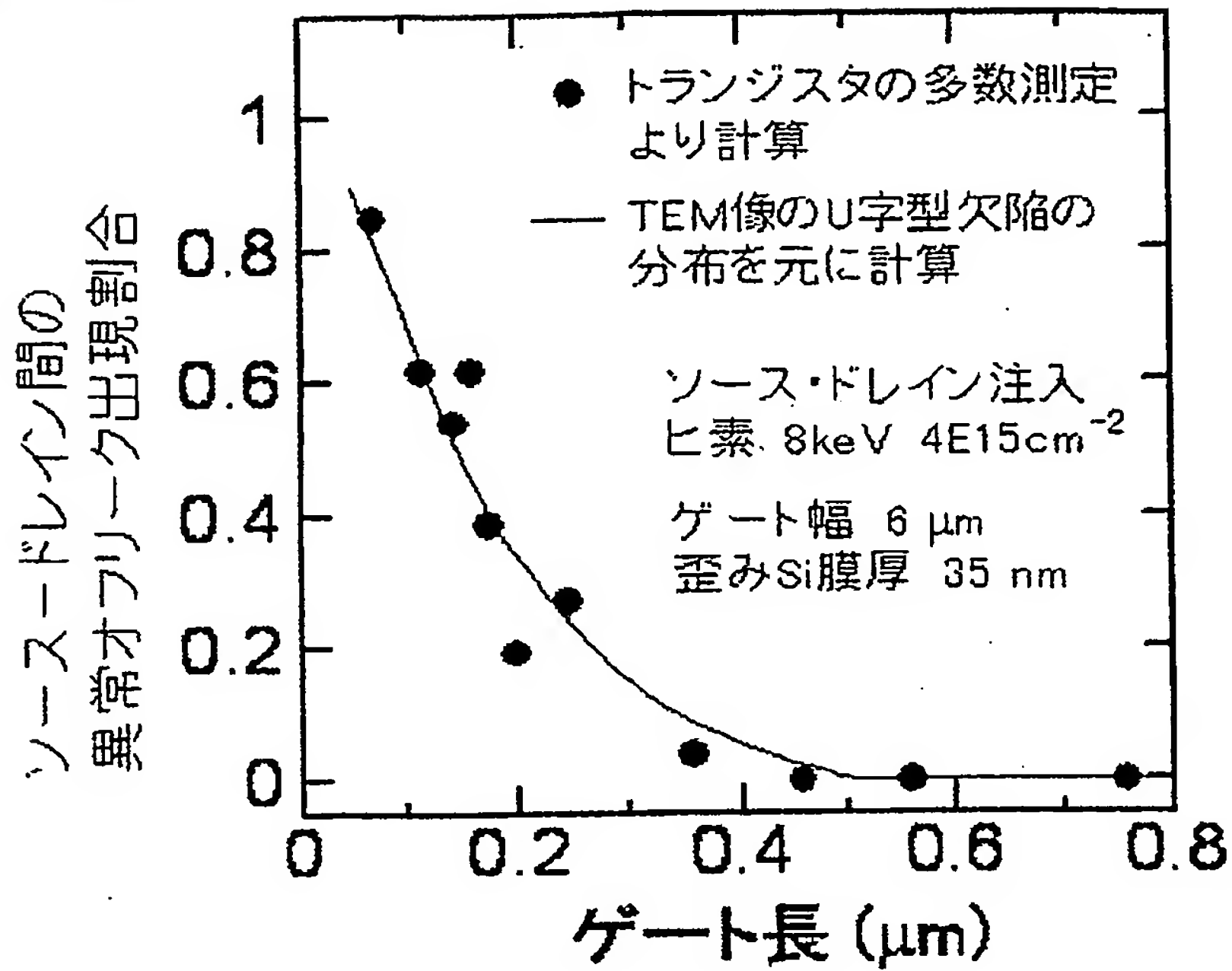
【図 18】



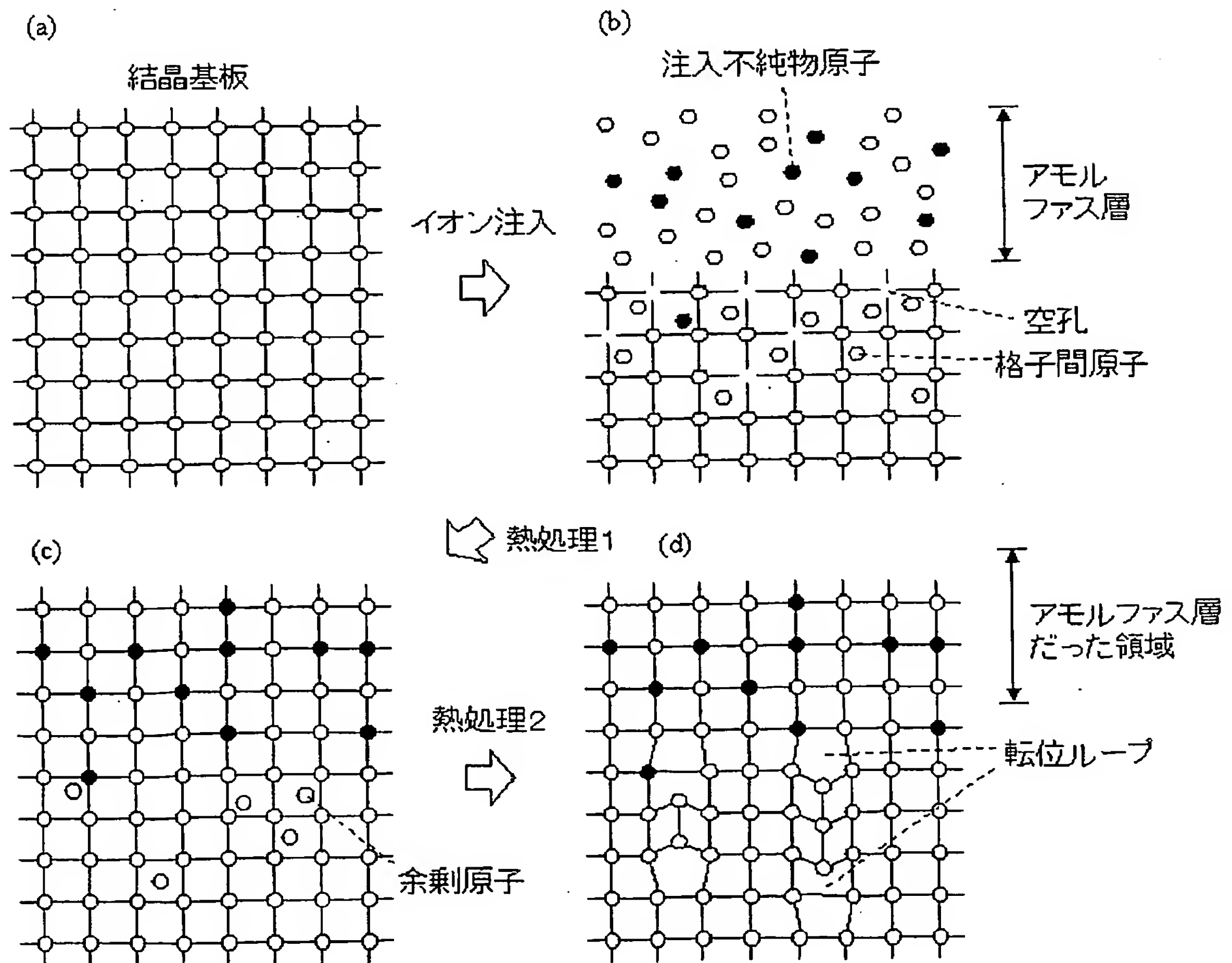
【図 19】



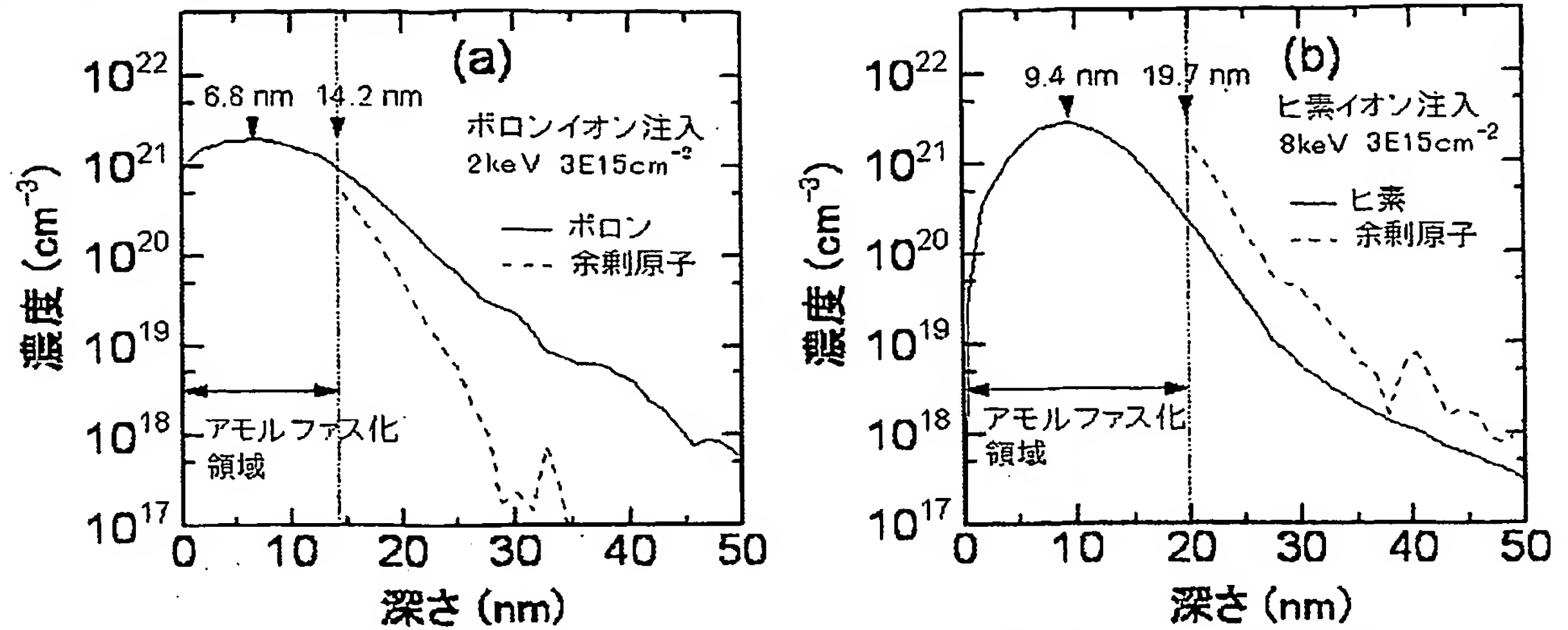
【図 20】



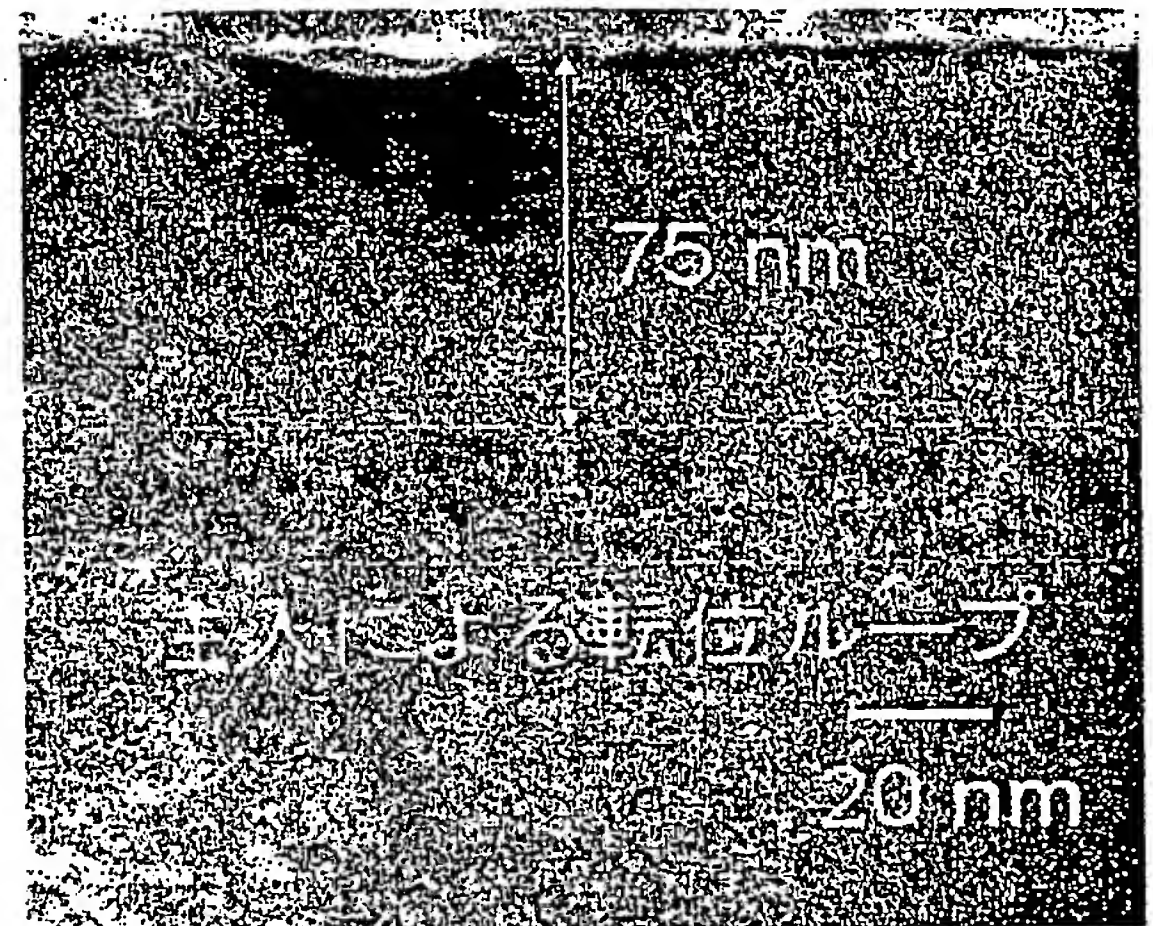
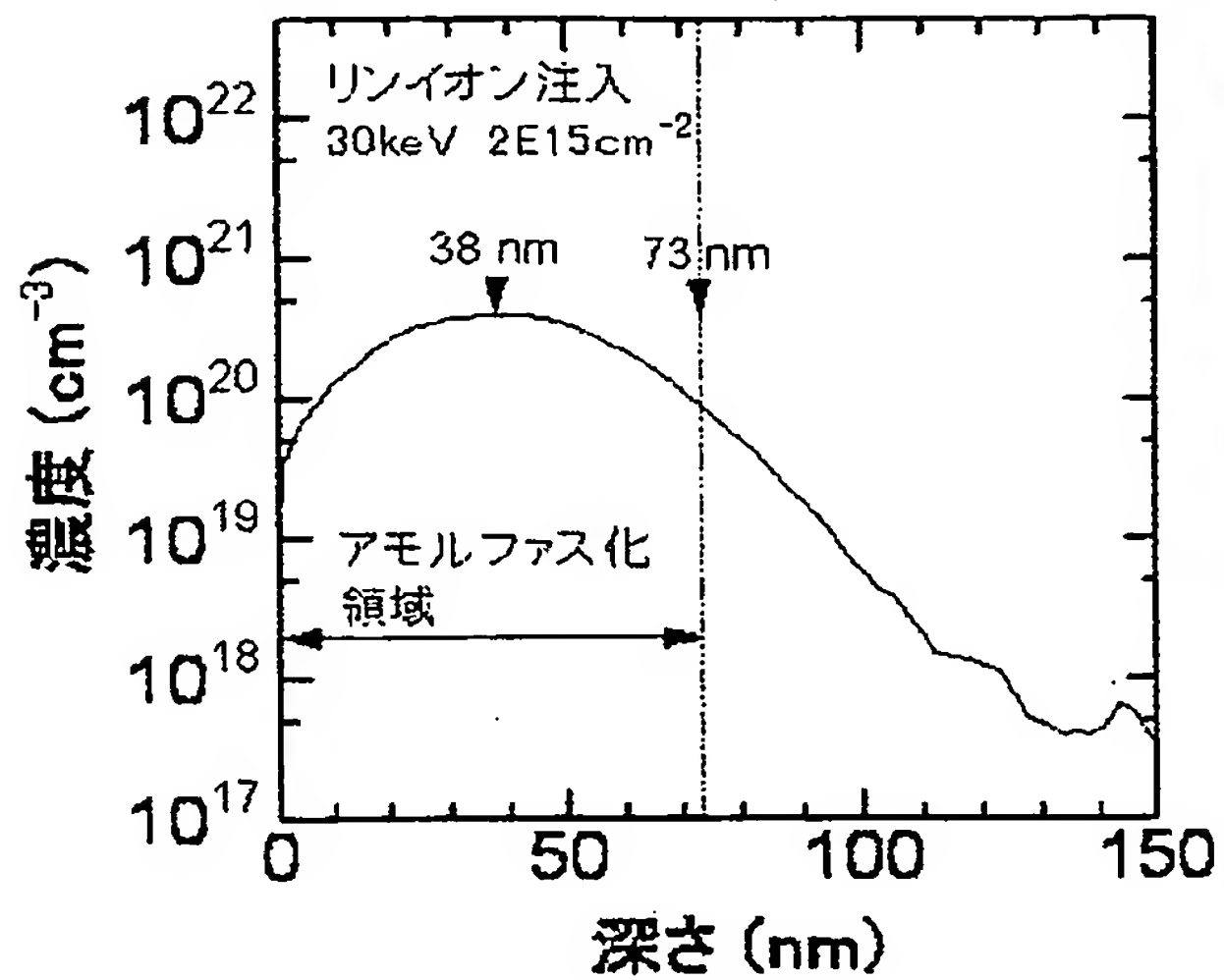
【図 21】



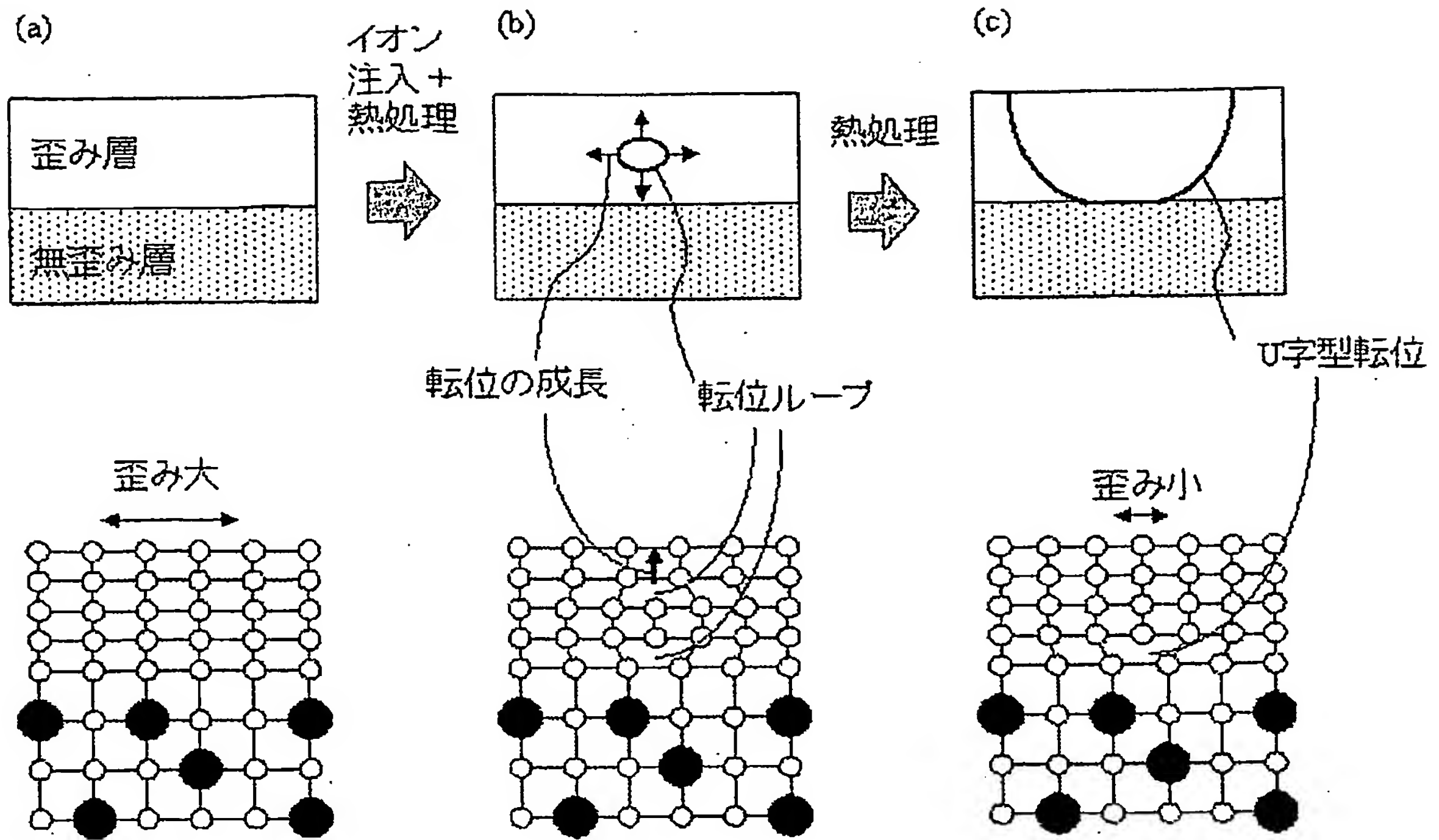
【図 2 2】



【図 2 3】

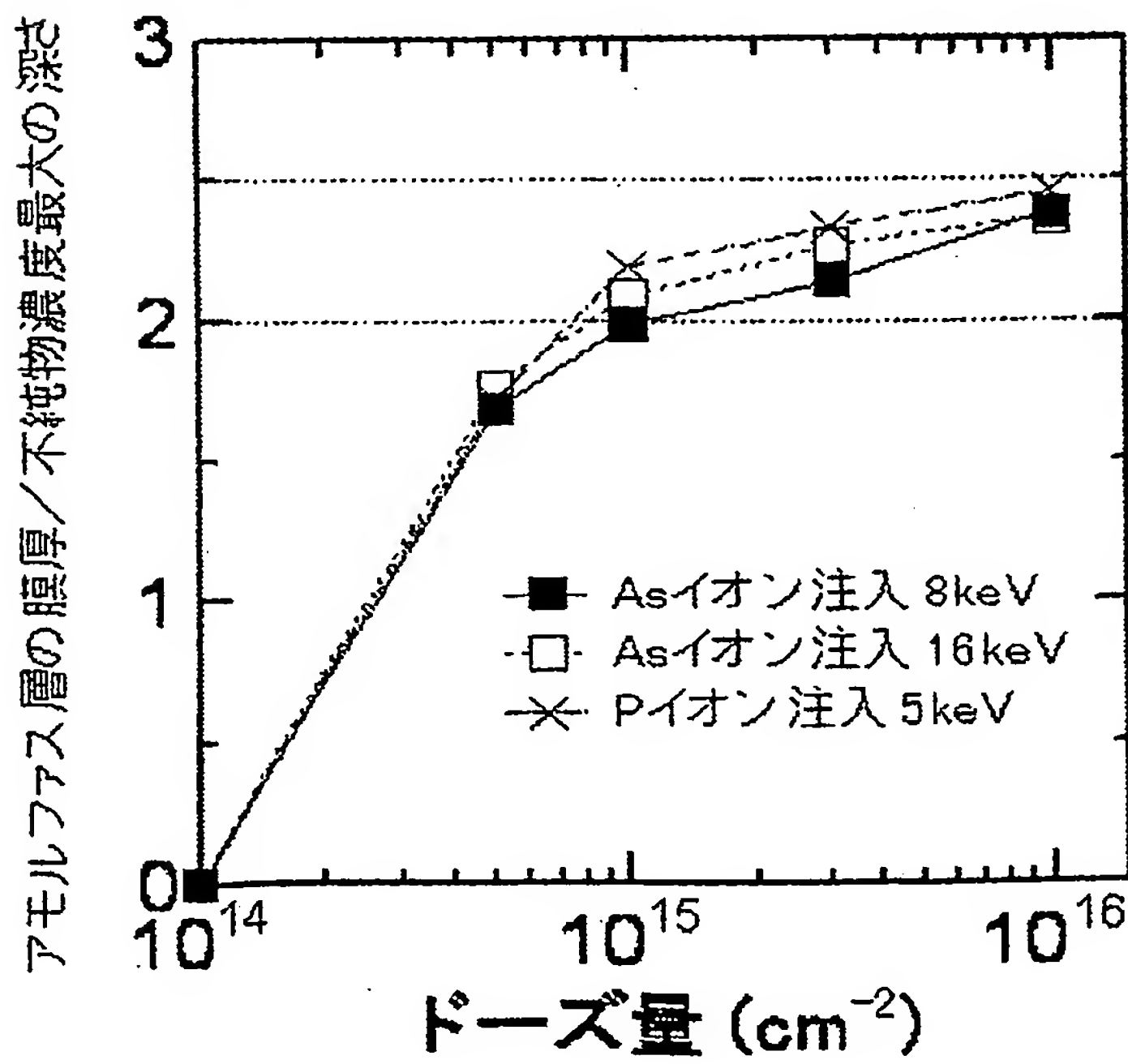


【図 2 4】

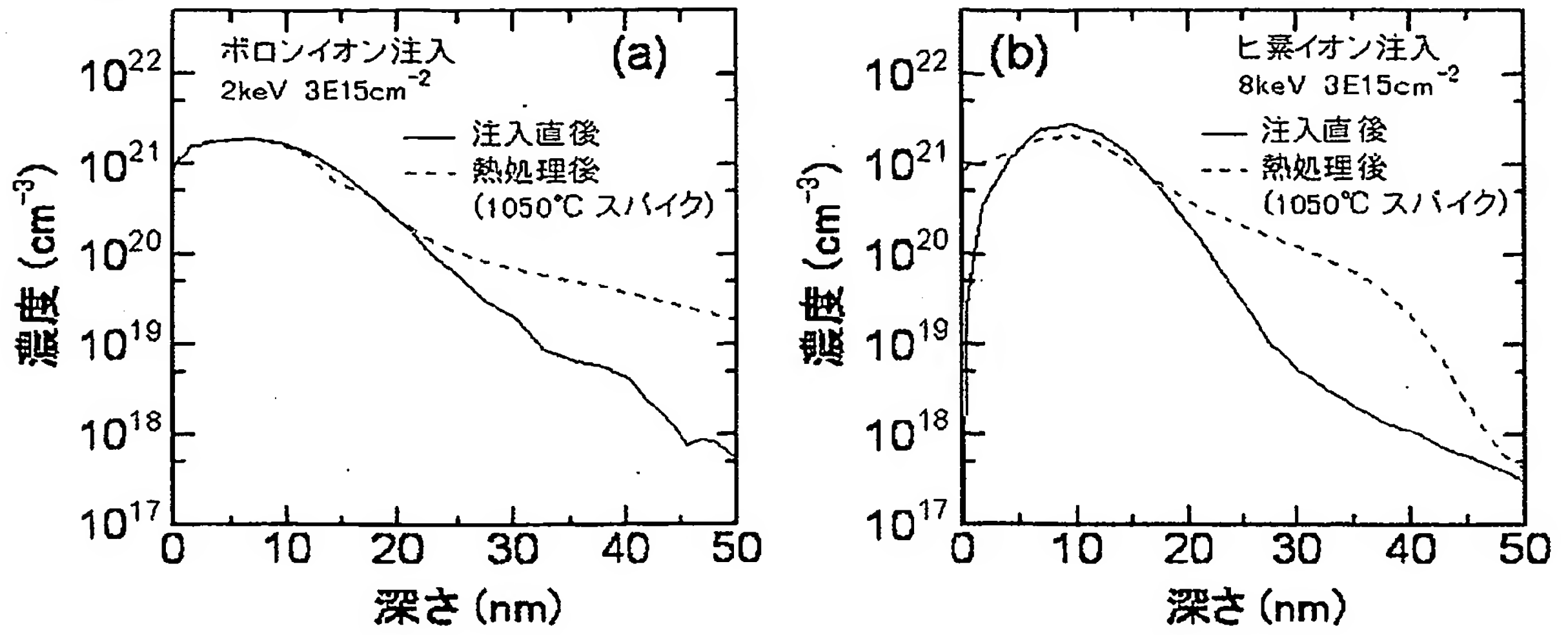


下段図は、上段図を真横から眺めた時の模式図

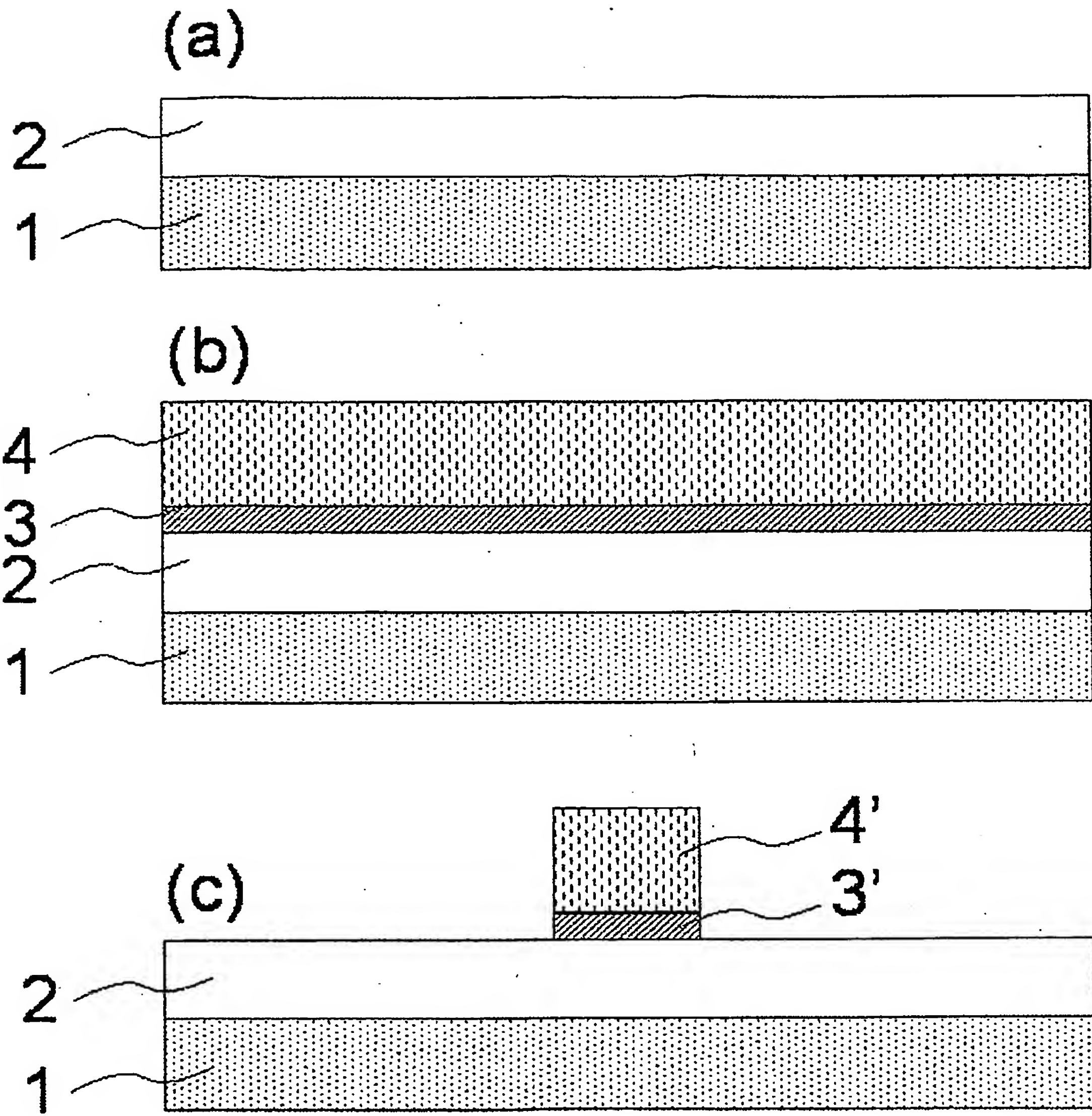
【図 2 5】



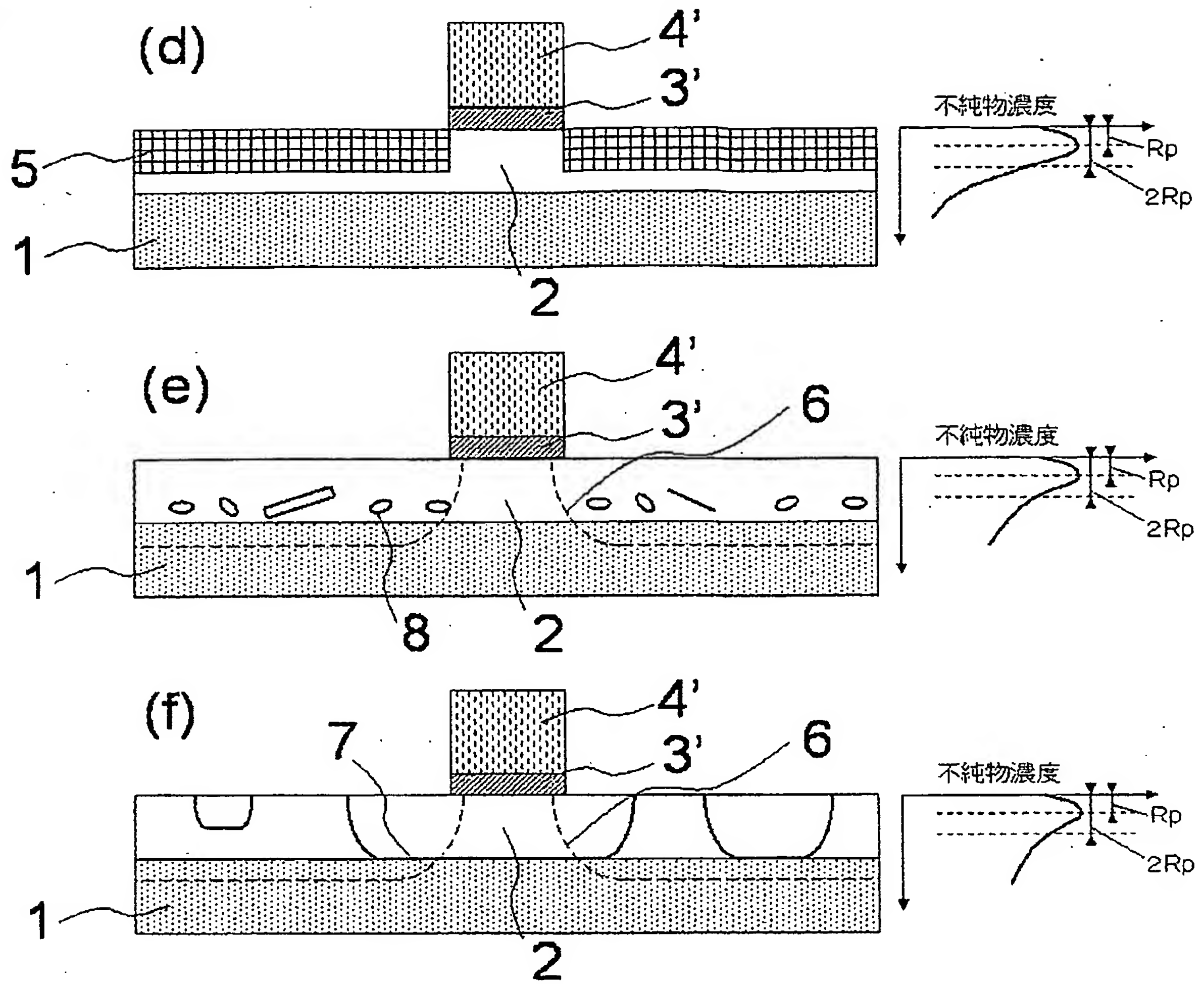
【図 26】



【図 27-1】



【図 27-2】



【書類名】 要約書

【要約】

【課題】 ゲート長が短く消費電力の小さい歪みSiチャネルMISFETを実現することにある。

【解決手段】 下地SiGe層1上に歪みSi層2をエピタキシャル成長させ、ゲート絶縁膜3'とゲート電極4'を形成した後、ゲート電極4'をマスクにして、不純物をイオン注入し〔(d)〕、活性化のための熱処理を行ってソース・ドレイン領域6を形成する〔(e)、(f)〕ものにおいて、歪みSi層2の膜厚は、最終的なMISFETのソース・ドレイン領域6の不純物濃度が最大となる深さを T_p としたとき、 $2 \times T_p$ 以下にする。

【選択図】 図1-2

特願 2 0 0 4 - 0 0 2 8 4 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日
[変更理由]
住 所
氏 名

1 9 9 0 年 8 月 2 9 日
新規登録
東京都港区芝五丁目 7 番 1 号
日本電気株式会社

PATENT COOPERATION TREATY

10585576
PCT/JP04/019589

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION CONCERNING SUBMISSION OR TRANSMITTAL OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

FUJIMAKI, Masanori
5th Floor, Fukoku Seimei Building
2-2, Uchisaiwaicho 2-chome
Chiyoda-ku, Tokyo 1000011
JAPON

Date of mailing (day/month/year) 16 March 2005 (16.03.2005)	
Applicant's or agent's file reference 04NPCT011	IMPORTANT NOTIFICATION
International application No. PCT/JP04/019589	International filing date (day/month/year) 28 December 2004 (28.12.2004)
International publication date (day/month/year)	Priority date (day/month/year) 08 January 2004 (08.01.2004)
Applicant NEC CORPORATION et al	

- By means of this Form, which replaces any previously issued notification concerning submission or transmittal of priority documents, the applicant is hereby notified of the date of receipt by the International Bureau of the priority document(s) relating to all earlier application(s) whose priority is claimed. Unless otherwise indicated by the letters "NR", in the right-hand column or by an asterisk appearing next to a date of receipt, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- (If applicable)* The letters "NR" appearing in the right-hand column denote a priority document which, on the date of mailing of this Form, had not yet been received by the International Bureau under Rule 17.1(a) or (b). Where, under Rule 17.1(a), the priority document must be submitted by the applicant to the receiving Office or the International Bureau, but the applicant fails to submit the priority document within the applicable time limit under that Rule, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- (If applicable)* An asterisk (*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b) (the priority document was received after the time limit prescribed in Rule 17.1(a) or the request to prepare and transmit the priority document was submitted to the receiving Office after the applicable time limit under Rule 17.1(b)). Even though the priority document was not furnished in compliance with Rule 17.1(a) or (b), the International Bureau will nevertheless transmit a copy of the document to the designated Offices, for their consideration. In case such a copy is not accepted by the designated Office as the priority document, Rule 17.1(c) provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

Priority date	Priority application No.	Country or regional Office or PCT receiving Office	Date of receipt of priority document
08 January 2004 (08.01.2004)	2004-002841	JP	27 January 2005 (27.01.2005)

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. +41 22 740 14 35	Authorized officer Abbou Farid Facsimile No. +41 22 338 70 10 Telephone No. +41 22 338 8169
---	--